

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-191108

(43)Date of publication of application : 22.07.1997

(51)Int.Cl. H01L 29/78

H01L 27/02

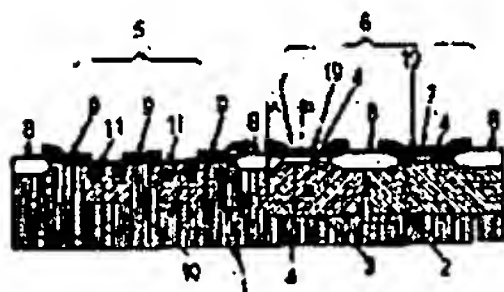
H01L 21/8238

H01L 27/092

(21)Application number : 08-002454 (71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 10.01.1996 (72)Inventor : SHINOHARA TOSHIKI

(54) MOS TYPE SEMICONDUCTOR DEVICE



(57)Abstract:

PROBLEM TO BE SOLVED: To satisfy both the threshold voltage of element region and the performance of channel stopper in isolation region by setting the impurity concentration in P type and N type well regions at substantially same

order as P type and N type heavily doped regions and lowering the surface concentration in CMOS element region.

SOLUTION: Heavily doped P well 3 and N well 2 are formed on the surface of an N type substrate 1. Surface of the substrate is divided into a DMOS region 5 and a CMOS region 6 and a lightly doped region 4 is formed on the surface of heavily doped N well 2 and P well in the CMOS region 6. The lightly doped region 4 is formed by implanting ions having a conductivity type opposite to that of heavily doped N well 2 and P well, respectively, and then performing heat treatment for activation. In the case of an MOS type semiconductor device impurity concentration on the surface at A-A part is substantially equal to the concentration on the surface of heavily doped P well 3 and N well 2.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the intelligent power mold semiconductor device accumulated on the same semi-conductor substrate combining DMOS (double diffusion self-align mold MOS) and CMOS (complementary MOS). The high impurity concentration of the field of P type, and the field of N type by making low the maximum surface high impurity concentration of the high impurity concentration of the lower part of a component isolation region, comparable concentration, nothing, and a component field without it reconciles the threshold electrical potential difference of a component field, and the engine performance as a channel stopper of a component isolation region and narrows the width of face of an effectual component field -- detailed -- high -- the MOS mold semiconductor device characterized by coming to constitute an intelligent power component [****].

[Claim 2] Have the field of P type, the field of N type or the field of P type, and the field of N type in a semi-conductor substrate side, and a component field and a component isolation region are formed in it on this field. It is the intelligent power mold semiconductor device accumulated combining DMOS and CMOS on the same substrate. The high-impurity-concentration profile in a substrate of the component field of the above-mentioned substrate, It is the MOS mold

semiconductor device with which the high-impurity-concentration profile in the substrate of the lower part of the component isolation region of the above-mentioned substrate is in agreement except for the maximum surface section of the above-mentioned substrate with the semiconductor device, and it is characterized by making the maximum front face of the substrate of the above-mentioned component field into the structure of having high impurity concentration lower than the interior of the above-mentioned substrate.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the intelligent power mold semiconductor device formed combining an MOS (Metal Oxide Semiconductor) mold semiconductor device especially CMOS (complementary MOS), and DMOS (double diffusion self-align mold MOS) on 1 chip.

[0002]

[Description of the Prior Art] As a conventional MOS mold semiconductor device, there is a thing of the structure shown in drawing 8 . This is drawing having

shown typically the cross-section structure of a common CMOS mold semiconductor device. The LOCOS oxide film (alternative oxidation structure of a silicon substrate) 23 with which the configuration of this CMOS mold semiconductor device classifies the component field 21 and the component isolation region 22 into a substrate front face by forming the P well (field of P type) 24 of P type and the N well (field of N type) 25 of N type in the surface section of the N type substrate 26 is formed. Surface concentration of the P well 24 and the N well 25 It is usually set as about three 10^{15} - 10^{16} /cm surface concentration for threshold electrical-potential-difference setting out of this MOS mold semiconductor device. moreover, the about three 10^{17} - 10^{18} /cm [which becomes the lower part of the LOCOS oxide film 23 used as the component isolation region 22 on the P well 24 with a channel stopper] P type high concentration field 27 -- moreover, the about three 10^{17} - 10^{18} /cm [used as a channel stopper] N type high concentration field 28 is formed in the lower part of the LOCOS oxide film 23 used as the component isolation region on the N well 25. And as a method of producing this CMOS mold semiconductor device, after forming a well, the mask for LOCOS oxidization is formed, the ion implantation of the high concentration impurity is carried out to this mask to a channel stopper field in self align, thermal oxidation alternative as a mask is performed for the mask for LOCO oxidization after that, and the high concentration field and the LOCOS oxide film are usually formed simultaneously. These high concentration fields are acting as a channel stopper by raising the surface high impurity concentration of a component isolation region, and raising the threshold electrical potential difference of the MOS transistor parasitically formed in a component isolation region. Thus, in a common CMOS mold semiconductor device, the threshold electrical potential difference of a component field and the engine performance as a channel stopper of a component isolation region are reconciled by raising the surface concentration of a component isolation region rather than a well field. Moreover, although acquiring the same effectiveness as the above, without forming the N type high concentration field in the above-mentioned N well

is also performed as this deformation using the phenomenon in which the surface concentration of an N type impurity range becomes higher than thermal oxidation before according to the segregation effectiveness if an N type impurity range is oxidized thermally This phenomenon is a phenomenon of occurring only about an N type impurity range, and about a P type impurity range, since it does not act as a channel stopper unless it forms a P type high concentration field, it cannot skip the formation process of a P type high concentration field. the 1st conventional example explained above carries out the ion implantation of the impurity used as a channel stopper before a LOCOS acid chemically-modified degree, and since a LOCOS acid chemically-modified degree, simultaneously impregnation ion are diffused and the high concentration impurity range is formed, as a high concentration impurity range is shown in drawing 9 , it begins (P type high concentration field 27a) to see from the LOCOS oxide film 23 to the component field 21 as a result of horizontal diffusion of the impregnation ion which happens simultaneously. As an example, when forming the LOCOS oxide film 23 with a thickness of about 1 micrometer by 1000-degree C LOCOS oxidation, the flash to the longitudinal direction of the above-mentioned P type high concentration field 27a has the problem that effectual channel width becomes remarkably small rather than a design value, when an MOS transistor is formed, as it is about 0.3 micrometers, consequently is shown in drawing 10 (a) and (b). As this example, effective channel width will be set to about 0.4 micrometers to the design channel width of 1.0 micrometers. Even if it is going to make this detailed and it tends to realize small channel width, it has a limitation, and it shows that the limitation is influenced by horizontal diffusion of a channel stopper. As 2nd conventional example which solves this problem, the technique (JP,4-337650,A) shown in drawing 11 is proposed. After it forms the silicon oxide 36 for giving the silicon nitride 35 and the mask engine performance of high energy ion injection as a mask for formation of silicon oxide 38 used as a component isolation region, this forms the silicon oxide 38 used as a component isolation region, after that, pours in the impurity ion of the same conductivity type

as a silicon substrate 34 with high energy, and forms the high concentration field 37. That is, after forming the above-mentioned silicon oxide 38, the horizontal flare of the high concentration field 37 is prevented by forming the high concentration field 37. However, in this technique, the expensive ion implantation equipment of high energy is needed, chip cost is pushed up, and also as a mask ingredient at the time of high energy ion injection, by the conventional photoresist, since the mask engine performance is inferior, a production process becomes complicated and that silicon oxide 36 is needed etc. causes a cost rise further. Furthermore, heat treatment which the high concentration impurity range formed in a component isolation region receives in the usual MOS mold semiconductor device explained above It is mainly heat treatment at the time of LOCOS oxidation. Horizontal diffusion of a high concentration impurity range In the intelligent power mold semiconductor device formed to being at most about 0.3 micrometers combining CMOS and DMOS (double diffusion self-align mold MOS) on 1 chip Since [which calls heat treatment which a high concentration impurity range receives the double diffusion at the time of DMOS formation in addition to heat treatment at the time of LOCOS oxidation] heat treatment of an elevated temperature and long duration is added further, horizontal diffusion of a high concentration impurity range becomes still larger. According to the experiment of this invention person, after formation of a LOCOS oxide film, as a result of performing 1120 degrees C and heat treatment of 18 hours for DMOS formation, horizontal diffusion of a high concentration impurity amounted also to about 5 micrometers. This is explained using drawing 12 - drawing 17 . Drawing 12 R> 2 and drawing 13 (a) - (d) shows the structure and its producing method of DMOS, drawing 14 and drawing 15 (a) - (b) shows the structure and its producing method of CMOS, and drawing 16 and drawing 17 (a) - (d) show the structure and its producing method of an intelligent power component. By the difference between each structure and the producing method, a difference arises in the horizontal flare of the high concentration field as a channel stopper. First, as DMOS is shown in drawing 12 , the LOCOS oxide film used as the component

isolation region 22 is formed in the front face of the N type substrate 26, and N type high concentration field 28a overflowing into the component field 21 of the lower part is formed. And the gate polish recon film 29 is formed in the substrate front face of the component field 21, and the P type channel field 30 and the source field 31 are formed in the lower part through gate oxide. In DMOS, N type high concentration field 28a is greatly protruded into the component field 21 side from the LOCOS oxide film of the component isolation region 22 so that drawing 12 may show. The method of producing DMOS shown in drawing 12 is hereafter explained using drawing 13 (a) - (d), and the reason which N type high concentration field 28a protrudes into the component field 21 side greatly is explained. As shown in drawing 13 (a), the ion which becomes the origin of the N type high concentration field 28 is injected into the front face of the N type substrate 26, and only the component isolation region 22 is oxidized selectively after that. At this time, thermal diffusion of the poured-in ion is carried out, and it serves as the N type high concentration field 28. Here, as shown in drawing, the die length of the horizontal diffusion in this event is small, and its flash to the component field 21 is also as small as about 0.3 micrometers. Next, as shown in drawing 13 (b), the gate polish recon 29 used as a gate electrode is formed. Next, as shown in drawing 13 (c), the P type channel field 30 is formed by the ion implantation and thermal diffusion of boron. Here, for the proof-pressure reservation between the drain sources of DMOS, the P type channel field 30 needs to make it spread somewhat deeply (for example, about 5 micrometers), and, for this reason, needs to perform heat treatment of the elevated temperature of 1120 degrees C and 18 hours, and long duration. At this time, simultaneously, N type high concentration field 28a also carries out horizontal diffusion, and it becomes about 4 micrometers and N type high concentration field 28a protruded greatly from one side to the component field 21. Consequently, as a design value, about 9.0 micrometers is needed to obtain 1.0 micrometers effectually as gate width, and it has become the big hindrance of detailed-izing of a component. Next, as shown in drawing 13 (d), the source field 31 is formed by the ion

implantation and thermal diffusion of an arsenic. The temperature of this thermal diffusion is also low, and since a diffusion time is also short, there is almost no effect of the horizontal diffusion on the N type high concentration field 28. As stated above, in DMOS, horizontal diffusion of N type high concentration field 28a is large, and it overflows into the component field 21 greatly, but in DMOS, since the area of the component isolation region 22 occupied to a chip area does not spread only, there is almost no effect by this flash. Next, in CMOS, as shown in drawing 14, the P well 24 of P type and the N well 25 of N type are formed in the front face of the N type substrate 26, and the component isolation region 22 is formed in a part of each front face. And the P type high concentration field 27 is formed in the lower part of the component isolation region 22 in the P well 24, and the N type high concentration field 28 is formed in the lower part of the component isolation region 22 in the N well 25. While explaining hereafter the method of producing CMOS shown in drawing 14 using drawing 15 (a) and (b), the reason which the N type high concentration field 28 protrudes into the component field 21 side is explained. As shown in drawing 15 (a), the P well 24 is formed by the ion implantation of boron, and diffusion, and the N well 25 is formed in the front face of the N type substrate 26 by the ion implantation of Phosphorus, and diffusion, respectively. Next, the ion implantation of Phosphorus which serves as the N type high concentration field 28 in the boron used as the P type high concentration field 27 again at parts other than component field 21 in the P well 24 is carried out to parts other than component field 21 in the N well 25, after that, only parts other than component field 21 are oxidized selectively, and the component isolation region 22 is formed. Although the P type high concentration field 27 and the N type high concentration field 28 are diffused in the depth direction and a longitudinal direction by heat treatment at the time of this oxidation, since this heat treatment is not so large, as the 1st above-mentioned conventional example explained, that horizontal diffusion is small and the flash to the component field 21 is also as small [diffusion] as about 0.3 micrometers. Next, as shown in drawing 15 (b), the gate polysilicon region 29 is formed. In a CMOS

formation process, although heat treatment by the formation process of a source field (not shown) is added after this, since it is small, the P type high concentration field 27 in drawing 15 (a) and the N type high concentration field 28 do not protrude this heat treatment into the component field 21 still more greatly. This is a greatly different point from a DMOS formation process. Although the flash to the component field 21 of the P type high concentration field 27 and the N type high concentration field 28 is the important point since the demand which realizes the component field 21 of width of face with it is strong in CMOS, [a very large and area of the component isolation region 22 and] [narrow] As mentioned above, since the flash to the component field 21 of the P type high concentration field 27 under the component isolation region 22 and the N type high concentration field 28 is as small as about at most 0.3 micrometers, a big problem as a result does not become in CMOS. Finally, the intelligent power mold semiconductor device which accumulated DMOS and CMOS on 1 chip is explained. The sectional view of an intelligent power mold semiconductor device is shown in drawing 16 . On the N type substrate 26, the DMOS field 32 and the CMOS field 33 are unified and formed. In the DMOS field 32, N type high concentration field 28 of component isolation region 22 and its lower part a, the P type channel field 30 and DMOS gate polish recon 29a, and source field 31 grade are formed. Moreover, in the CMOS field 33, the P well 24 and the N well 25 are formed, and the component isolation region 22 is formed in the substrate front face. P type high concentration field 27a and N type high concentration field 28a are formed in the lower part of the component isolation region 22, and CMOS gate polish recon 29b is formed in the front face of the CMOS field 33. If the method of producing this intelligent power mold semiconductor device tends to become what combined the method of producing DMOS shown in drawing 13 , and the method of producing CMOS shown in drawing 15 fundamentally and it is fully going to obtain each engine performance, as for the isolation process which does effect important for a component property, and a gate formation process, tying to series, respectively is simplest, and it is common. However, by this

technique, since a routing counter not only cuts in many dramatically, but the silicon nitride film for LOCOS oxide-film formation of a CMOS utilization region is formed again, leak between the gate sources and leak between the drain sources occur in DMOS by the stress at the time of LOCOS oxidation in order to perform LOCOS oxidation and the yield of a fabrication falls substantially after forming the gate oxide for DMOS, a gate electrode, and a P type channel field, there is a problem that chip cost goes up. Then, in order to reduce chip cost, even if, aiming at common use of DMOS in each process and CMOS is also considered to reduce a routing counter at the sacrifice of a component property. About the producing method, it is drawing 17 . (a) - (d) explains. In this making process, the component isolation region 22, the N type high concentration field 28, and the P type high concentration field 27 are common-use-ized. As shown in drawing 17 (a), the ion implantation for forming the P well 24 and the N well 25 in the front face of the N type substrate 26, and forming the N type high concentration field 28 and the P type high concentration field 27 in the lower part of the part used as the component isolation region 22 on the front face of a substrate after that is performed. And the component isolation region 22 is formed by selective oxidation. Although thermal diffusion of the ion poured in at this time is carried out and it becomes the N type high concentration field 28 and the P type high concentration field 27, heat treatment at this time is about several hours at 1000 degrees C, and horizontal diffusion of the P type high concentration field 27 in this phase and the N type high concentration field 28 is as small as about 0.3 micrometers, and can also disregard the flash to the component field 21. Next, as shown in drawing 17 (b), DMOS gate polish recon 29a is formed. Next, as shown in drawing 17 (c), an ion implantation and thermal diffusion, such as boron, are performed by using DMOS gate polish recon 29a as a mask, and the P type channel field 30 is formed. From the need of securing the pressure-proofing between the drain sources of DMOS, this thermal diffusion has temperature as high as 1100 degrees C - about 1150 degrees C, for example. Since time amount is also as long as several hours - dozens of hours, As the P

type high concentration field 27 and the N type high concentration field 28 are also diffused in coincidence at this time and it was shown in drawing 1717 (c), the big flash to the component field 21 occurs, and it is set to large N type high concentration field 28a of horizontal diffusion, and P type high concentration field 27a. According to the experiment of this invention person, about 4-micrometer flash arose in one side by 1120 degrees C and heat treatment of 18 hours. Then, as shown in drawing 17 (d), in the CMOS field 33, CMOS gate polish recon 29b is formed, and the source and a drain (not shown) are formed in the source field 31 of the DMOS field 32, and the CMOS field 33 after that. Although a wiring process etc. is required after this for completion of an intelligent power component, since it separates, explanation is omitted from the main point of this invention. However, when the component isolation region 22, N type high concentration field 28a, and P type high concentration field 27a are common-use-ized in this way and an intelligent power component is formed, as mentioned above Since each high concentration field overflows greatly (it is 4 micrometers to one side at this invention person's example of an experiment), detailed-ization of a component cannot be performed, but, as a result, a chip size becomes large, and the problem that an original aim called chip cost reduction cannot be attained arises.

[0003]

[Problem(s) to be Solved by the Invention] Since face forming an intelligent power component in the conventional technique, leak between the gate sources and leak between the drain sources will occur in DMOS by the stress at the time of LOCOS oxidation if a DMOS process and a CMOS process are connected and formed in series, the fabrication yield of a chip falls and a routing counter increases as mentioned above, there is a problem that chip cost goes up. If a routing counter is reduced and common use-ization of a process is achieved for this chip cost reduction, since it will overflow into a component field greatly like N type high concentration field 28a shown in drawing 17 (d), and P type high concentration field 27a, about [that a component property deteriorates] and a

component dimension also becomes large, and the problem of lifting of the chip cost by enlargement of a chip size arises as a result. Moreover, although there is also the so-called trench separation technology which forms a slot in a silicon substrate surface as general component separation technology, this technique needs to use expensive trench formation equipment, and in order to produce the intelligent power mold semiconductor device of low cost, it cannot apply it easily. Moreover, DMOS and CMOS are set to production of the intelligent power mold semiconductor device accumulated on the same substrate. When performing an ion implantation and thermal diffusion, such as boron, and forming the P type channel field 30, from the need of securing the pressure-proofing between the drain sources of DMOS, at an elevated temperature (1100 degrees C - about 1150 degrees C) As it is necessary to carry out diffusion process for a long time (several hours - dozens of hours), the P type high concentration field 27 and the N type high concentration field 28 are also diffused in coincidence at this time and it is shown in drawing 17 (d) What happens inevitably is set to large N type high concentration field 28a of horizontal diffusion, and P type high concentration field 27a. This phenomenon happens similarly and also sets the DMOS section and CMOS section to an intelligent power mold semiconductor device further. Since the CMOS section with a large area of a component isolation region is included, the flash to the component field of the P type high concentration field 27 and the N type high concentration field 28 shown in drawing 17 (c) poses a big problem. therefore, extent from which the above-mentioned flash does not pose a problem on a component property and a circuit property conventionally -- a component field -- as big width of face -- not designing -- it did not obtain but had become the big hindrance of high integration of a circuit, or detailed-izing according to generating of the useless field by the flash to the component field of a high concentration field.

[0004] The object of this invention is what cancels the trouble in the above-mentioned conventional technique. By making high impurity concentration of P well field and N well field into high impurity concentration respectively

comparable as a P type high concentration field and an N type high concentration field, and lowering the surface concentration of the component field of a CMOS field without it reconciles the threshold electrical potential difference of a component field, and the engine performance as a channel stopper of a component isolation region and narrows the width of face of an effectual component field -- detailed -- high -- it is in offering an intelligent power mold semiconductor device [****].

[0005]

[The means for solving invention] In order to attain the object of above-mentioned this invention, this invention is considered as a configuration like a publication at a claim. Like a publication this invention to claim 1 namely, on the same semiconductor substrate It is the intelligent power mold semiconductor device accumulated combining DMOS (double diffusion self-align mold MOS) and CMOS (complementary MOS). The high impurity concentration of the field of P type, and the field of N type by making low the maximum surface high impurity concentration of the high impurity concentration of the lower part of a component isolation region, comparable concentration, nothing, and a component field without it reconciles the threshold electrical potential difference of a component field, and the engine performance as a channel stopper of a component isolation region and narrows the width of face of an effectual component field -- detailed -- high -- it considers as the MOS mold semiconductor device which has intelligent power component structure [****]. Moreover, like the publication to claim 2, this invention has the field of P type, the field of N type or the field of P type, and the field of N type in a semi-conductor substrate side, and forms a component field and a component isolation region in it on this field. It is the intelligent power mold semiconductor device accumulated combining DMOS and CMOS on the same substrate. The high-impurity-concentration profile in a substrate of the component field of the above-mentioned substrate, The high-impurity-concentration profile in the substrate of the lower part of the component isolation region of the above-mentioned substrate is in agreement except for the

maximum surface section of the above-mentioned substrate, and uses the maximum front face of the substrate of the above-mentioned component field as the MOS mold semiconductor device of the structure of having high impurity concentration lower than the interior of the above-mentioned substrate. Next, an operation of the MOS mold semiconductor device of this invention is explained using drawing 1 and drawing 2 . As shown in drawing 2 , the surface high impurity concentration in the A-A section is the surface concentration of a high concentration well mostly. This concentration needs to decide to satisfy the engine performance as a channel stopper in the component isolation region 8. On the other hand, in the component field 7, since surface concentration is low set up by formation of the low concentration field 4, there is no adverse effect to a component property. In this configuration, since there is no effect of the impurity diffusion from the component isolation region 8 to the component field 7, a component with narrow channel width can be formed. namely, -- the time of wanting to set effective channel width to 1 micrometer -- design channel width -- 1 micrometer, then high concentration field [27a which is good and became a problem in the conventional example [drawing 10 (a) and (b)] :P Since it does not generate, detailed-izing and high integration of the useless tooth space accompanying the flash of mold high concentration field (horizontal diffusion)] are attained. In addition, if needed, although the high concentration N well 2 and the high concentration P well 3 were formed in the CMOS field 6 in drawing 1 , even if it high-concentration-izes N type substrate 1 the very thing, the same effectiveness is acquired in the DMOS field 5.

[0006]

[Effect of the Invention] In the MOS mold semiconductor device of this invention like a publication to claim 1 on the same semi-conductor substrate In the intelligent power mold semiconductor device accumulated combining DMOS (double diffusion self-align mold MOS) and CMOS (complementary MOS) The threshold electrical potential difference of a component field and the engine performance as a channel stopper of a component isolation region are reconciled

by making low the maximum surface high impurity concentration of the high impurity concentration of the lower part of a component isolation region, comparable concentration, nothing, and a component field for the high impurity concentration of the field of P type, and the field of N type. Thus, since high impurity concentration of the field of P type and the field of N type and high impurity concentration of the lower part of a component isolation region are made into comparable deep high impurity concentration, if it is spread from a high concentration field to a component field by heat treatment, there is no generating of the useless field depended for disturbing, and the component of high density with narrow channel width can be formed. Moreover, without narrowing the width of face of an effectual component field, since the maximum surface high impurity concentration of a component field is made low and it does not have an adverse effect on a component property, it is detailed and effective in the MOS mold semiconductor device of the intelligent power mold of high accumulation being cheaply realizable by the high fabrication yield. Moreover, like the publication to claim 2, this invention has the field of P type, the field of N type or the field of P type, and the field of N type in a semi-conductor substrate side, and forms a component field and a component isolation region in it on this field. It is the intelligent power mold semiconductor device accumulated combining DMOS and CMOS on the same substrate. The high-impurity-concentration profile in a substrate of the component field of the above-mentioned substrate, The high-impurity-concentration profile in the substrate of the lower part of the component isolation region of the above-mentioned substrate is in agreement except for the maximum surface section of the above-mentioned substrate, and uses the maximum front face of the substrate of the above-mentioned component field as the MOS mold semiconductor device of the structure of having high impurity concentration lower than the interior of the above-mentioned substrate. Thus, since it is considering as the configuration which makes high impurity concentration of the field of P type, and the field of N type the high impurity concentration of the component isolation region lower part, and high impurity

concentration deep to the same extent, and lowers the surface concentration of the component field of CMOS, like above-mentioned claim 1, there is no generating of the useless field from a high concentration field to a component field depended for disturbing, and the component of high density with narrow channel width can be formed. moreover -- since the maximum surface high impurity concentration of a component field is made low and it does not have an adverse effect on a component property, without it narrows effectual component field width of face -- detailed -- high -- it is effective in the yield being good and being able to realize an intelligent power mold semiconductor device [****] cheaply, while the threshold electrical potential difference of a component field and the engine performance as a channel stopper of a component isolation region are reconciled.

[0007]

[Embodiment of the Invention] Below, the gestalt of operation of this invention is further explained at a detail based on a drawing.

<Gestalt of the 1st operation> An example of the configuration of the MOS mold semiconductor device illustrated with the gestalt of operation of the 1st of this invention to drawing 1 is shown. In drawing, the high concentration P well 3 and the high concentration N well 2 are formed in the front face of the N type substrate 1, and the thick insulator layer is formed in the location used as the component isolation region 8 in the front face of this N type substrate 1. The front face of this substrate is divided into the DMOS field 5 and the CMOS field 6, the low concentration field 4 is formed in the front face of the high concentration N well 2 of the CMOS field 6, and the high concentration P well 3, and the CMOS gate polish recon 19 is formed in the top face through the thin insulator layer. Moreover, in the DMOS field 5, the P type channel field 10 is formed in the front face of the N type substrate 1, and the source field 11 is formed in the interior. And the DMOS gate polish recon 9 is formed in the substrate front face through the thin insulator layer. The place by which it is characterized [of the MOS mold semiconductor device of this invention] here Although high impurity

concentration falls gradually as it is a high-impurity-concentration profile in the A-A section cross section and B-B section cross section in drawing 1 , and it is shown in drawing 2 , and it goes to the interior of a substrate according to Gaussian distribution in the A-A section in general Since the low concentration field is formed near the front face in the B-B section, as a broken line shows in drawing 2 , the high impurity concentration near a front face has fallen. And if near a front face is removed, the impurity profile of the A-A section and the B-B section is in agreement. The method of producing the MOS mold semiconductor device hereafter shown in drawing 1 illustrated with the gestalt of the 1st operation according to drawing 3 (a) - (d) is explained. As shown in drawing 3 (a), the high concentration P well 3 and the high concentration N well 2 are formed in the front face of the N type substrate 1 by boron, the ion implantation of Lynn, and thermal diffusion, respectively. Then, a thick oxide film is selectively formed in the component isolation region 8. As shown in drawing 3 (b), the DMOS gate polish recon 9 is formed and the P type channel field 10 is formed by the ion implantation and thermal diffusion of boron which used this gate polish recon 9 as the mask. Since the high concentration field where high impurity concentration is deeper than the component field 7 is not formed in the lower part of the component isolation region 8 in the MOS mold semiconductor device of this invention at this time, a phenomenon which became a problem with a conventional technique like narrowing of the effective channel length by the flash of the impurity to the component field 7 does not happen. Then, as shown in drawing 3 (c), the low concentration field 4 is formed in the front face of the high concentration N well 2 and the high concentration P well 3. This pours in the ion which has the conductivity type of the high concentration N well 2, the high concentration P well 3, and objection, respectively, and can form it by being activated by heat treatment. Next, as shown in drawing 3 (d), the MOS mold semiconductor device of the structure shown in drawing 1 is completed by forming the CMOS gate polish recon 19 and carrying out the ion implantation of Lynn or the arsenic used as the source field 11 further. Next, an operation is

explained. In the MOS mold semiconductor device of this invention shown in drawing 1, the high impurity concentration of the front face in the A-A section is the surface concentration of the high concentration P well 3 and the high concentration N well 2 mostly. This concentration needs to decide to satisfy the engine performance as a channel stopper in the component isolation region 8. On the other hand, in the component field 7, since surface concentration is lowered by formation of the low concentration field 4, there is no adverse effect to a component property. In this configuration, since there is no effect of the impurity diffusion from the component isolation region 8 to the component field 7, a component with narrow channel width can be formed. That is, since it does not generate, detailed-izing and high integration of the useless tooth space accompanying 1 micrometer, then a flash of a high concentration field which is good and became a problem with the conventional technique also in design channel width are attained to set effective channel width to 1 micrometer. In addition, in the gestalt of this operation, although the high concentration N well 2 of the CMOS field 6 and the high concentration P well 3 were made into high concentration, even if it high-concentration-izes N type substrate 1 the very thing, in the DMOS field 5, the same effectiveness is acquired if needed.

[0008] <Gestalt of the 2nd operation> An example of the configuration of the MOS mold semiconductor device illustrated with the gestalt of the 2nd operation to drawing 4 is shown. First, the high concentration P well 3 and the high concentration N well 2 are formed in the front face of the N type substrate 1, and the thick insulator layer is formed in the front face of this N type substrate 1 at the place used as the component isolation region 8. This substrate front face is divided into the DMOS field 5 and the CMOS field 6, the low concentration field 14 is formed in the front face of the high concentration N well 2 of the CMOS field 6, and the high concentration P well 3, and the gate polish recon 16 is formed in that top face through the thin insulator layer. Moreover, in the DMOS field 5, the P type channel field 10 is formed in the front face of the N type substrate 1, and the source field 11 is formed in the interior. And the gate polish recon 16 is

formed in the substrate front face through the thin insulator layer. It is just going to say that the description of the gestalt of this operation is the height with almost same front face of the low concentration field 14 and front face of the component isolation region 8 to the gestalt of the 1st operation of a **** here. Hereafter, based on drawing 5 (a) - (d), the method of producing the MOS mold semiconductor device shown in drawing 4 is explained. As shown in drawing 5 (a), the high concentration P well 3 and the high concentration N well 2 are formed in the front face of the N type substrate 1 used as the CMOS field 6 by boron, the ion implantation of Lynn, and thermal diffusion, respectively. Then, a thick oxide film is selectively formed in the component isolation region 8. As shown in drawing 5 (b), the low concentration field 14 is formed in the front face of the high concentration N well 2 and the high concentration P well 3 by making the field which grew epitaxially from the high concentration well side diffuse an impurity by carrying out epitaxial growth of the silicon and heat-treating it further selectively only on the field which silicon has exposed. Then, as shown in drawing 5 (c), the gate polish recon 16 is formed, and when the ion implantation of the boron is carried out and it carries out thermal diffusion by using gate polish recon 16 as a mask, the P type channel field 10 is formed in the DMOS field 5. Since the high concentration field is not formed in the lower part of the component isolation region 8 like the gestalt of the 1st operation in the gestalt of this operation at this time, a phenomenon which became a problem with a conventional technique like the flash to a component field does not happen. Next, as shown in drawing 5 (d), the ion implantation of Lynn or the arsenic used as the source field 11 is carried out, and the MOS mold semiconductor device of the structure shown in drawing 4 is completed. In the gestalt of this operation in the original effectiveness of this invention In addition, since the low concentration field 14 is formed in the top face of a component field with selection epitaxial growth after formation of the component isolation region 8, Since the height of the top face of the top face of the component isolation region 8, the component field 5, i.e., a DMOS field, and the CMOS field 6 can be made mostly in

agreement The surface surface smoothness as a semiconductor device does not need to improve, and it is not necessary to perform a flat chemically-modified degree specially, and becomes, consequently reduction of chip cost can be aimed at, and when the manufacture yield of a chip improves, there is additional effectiveness that chip cost can be reduced.

[0009] <Gestalt of the 3rd operation> An example of the configuration of the MOS mold semiconductor device illustrated with the gestalt of operation of the 3rd of this invention to drawing 6 is shown. First, the high concentration N well 2 is formed in the front face of the N type substrate 1, and the thick insulator layer is formed in the front face of this N type substrate 1 at the place used as the component isolation region 8. The substrate front face is divided into the DMOS field 5 and the PMOS field 17, the low concentration field 15 of homogeneity concentration is formed in the front face of the high concentration N well 2 of the PMOS field 17, and the gate polish recon 18 is formed in the top face through the thin insulator layer. Moreover, in the DMOS field 5, the P type channel field 10 is formed in the front face of the N type substrate 1, and the source field 11 is formed in the interior. And the gate polish recon 18 is formed in the substrate front face through the thin insulator layer. The description of the gestalt of this operation to the gestalt of the 2nd operation of a **** here is that the low concentration field 15 is homogeneity concentration mostly, and this becomes possible by growing up the epitaxial growth film which carried out the impurity dope at the time of the selection epitaxial growth in the gestalt of the 2nd operation. An example of distribution of the high impurity concentration is shown in drawing 7 . Although the concentration profile of the low concentration field 15 was made into homogeneity with the gestalt of this operation , if how to carry out an impurity dope is use at the time of selection epitaxial growth which was described here , it will become possible [also change continuously the high impurity concentration at the time of selection epitaxial growth , or also consider as the high impurity concentration profile near / which is possible , consequently pulls out a component property to the maximum extent / a front face] . As

explained above, according to the MOS mold semiconductor device of this invention, P well field, Are detailed, without writing the high impurity concentration of N well field as the configuration which lowers the surface concentration of the high impurity concentration of the component isolation region lower part, high impurity concentration deep to the same extent, nothing, and the component field of a CMOS field, and narrowing effectual component field width of face. high -- it becomes possible to reconcile the threshold electrical potential difference of a component field, and the engine performance as a channel stopper of a component isolation region, and to realize an intelligent power component [****].

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view explaining the configuration of the intelligent power component by the 1st example of this invention.

[Drawing 2] It is a sectional view explaining the high-impurity-concentration profile which is the description of the configuration of the intelligent power component by the 1st example of this invention.

[Drawing 3] It is a sectional view explaining the manufacture approach of the intelligent power component by the 1st example of this invention.

[Drawing 4] It is a sectional view explaining the configuration of the intelligent power component by the 2nd example of this invention.

[Drawing 5] It is a sectional view explaining the manufacture approach of the intelligent power component by the 2nd example of this invention.

[Drawing 6] It is a sectional view explaining the configuration of the intelligent power component by the 3rd example of this invention.

[Drawing 7] It is a sectional view explaining the high-impurity-concentration profile which is the description of the configuration of the intelligent power component by the 3rd example of this invention.

[Drawing 8] It is drawing having shown the sectional view of the 1st conventional semiconductor device.

[Drawing 9] It is drawing explaining the trouble of the conventional CMOS mold semiconductor device.

[Drawing 10] It is drawing explaining the trouble of the conventional CMOS mold semiconductor device.

[Drawing 11] It is drawing having shown the manufacture approach of the 2nd conventional semiconductor device.

[Drawing 12] It is a sectional view explaining the configuration of the conventional DMOS mold semiconductor device.

[Drawing 13] It is a sectional view explaining the manufacture approach of the conventional DMOS mold semiconductor device.

[Drawing 14] It is a sectional view explaining the manufacture approach of the conventional DMOS mold semiconductor device.

[Drawing 15] It is a sectional view explaining the manufacture approach of the conventional DMOS mold semiconductor device.

[Drawing 16] It is a sectional view explaining the configuration of the conventional intelligent power component.

[Drawing 17] It is a sectional view explaining the manufacture approach of the

conventional intelligent power component.

[Description of Notations]

1 -- N type substrate 2 -- High concentration N well 3 -- High concentration P well

4 -- Low concentration field

5 -- DMOS field 6 -- CMOS field 7 -- Component field 8 -- Component isolation region

9 -- DMOS gate polish recon 10 -- P type channel field 11 -- Source field

14 -- Low concentration field 15 -- Low concentration field 16 -- Gate polish recon

17 -- PMOS field 18 -- Gate polish recon

19 -- CMOS gate polish recon 21 -- Component field 22 -- Component isolation region

23 -- LOCOS oxide film 24 -- P well 25 -- N well 26 -- N type substrate

27 -- P type high concentration field 27a -- P type high concentration field (horizontal diffusion)

28 -- N type high concentration field 28a -- N type high concentration field (horizontal diffusion)

29 -- Gate polish recon 29 a--DMOS gates polish recon

29 b--CMOS gates polish recon 30 -- P type channel field

31 -- Source field 32 -- DMOS field 33 -- CMOS field

34 -- Silicon substrate 35 -- Silicon nitride 36 -- Silicon oxide

37 -- High concentration field 38 -- Silicon oxide used as a component isolation region

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

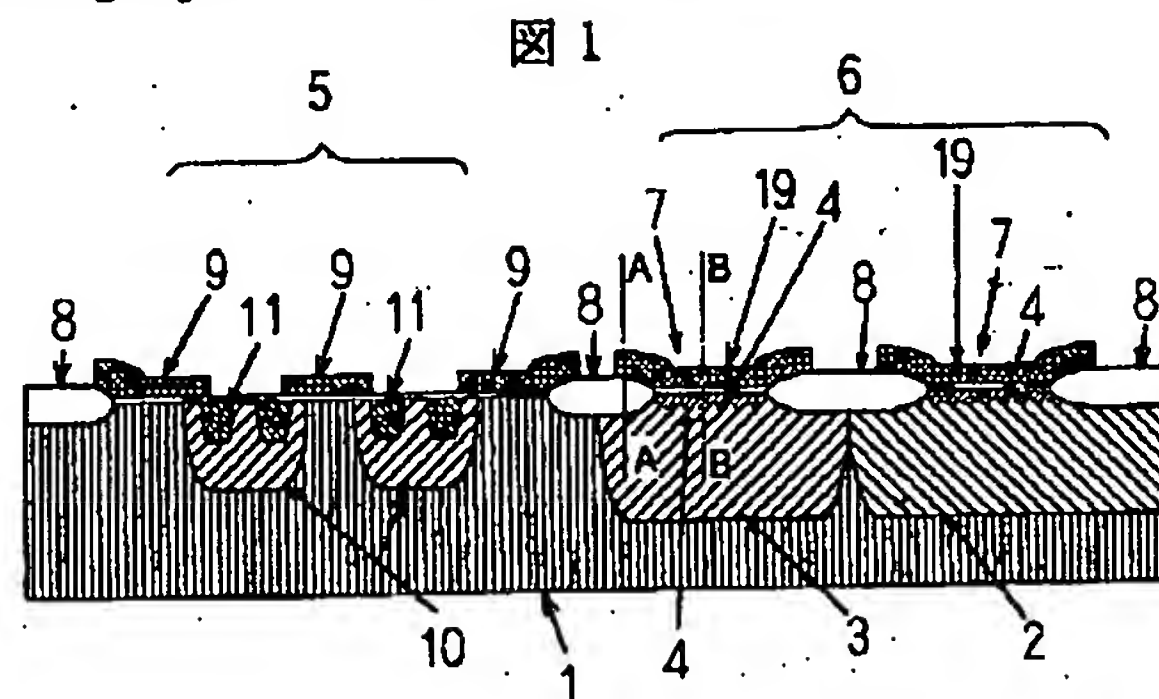
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DRAWINGS

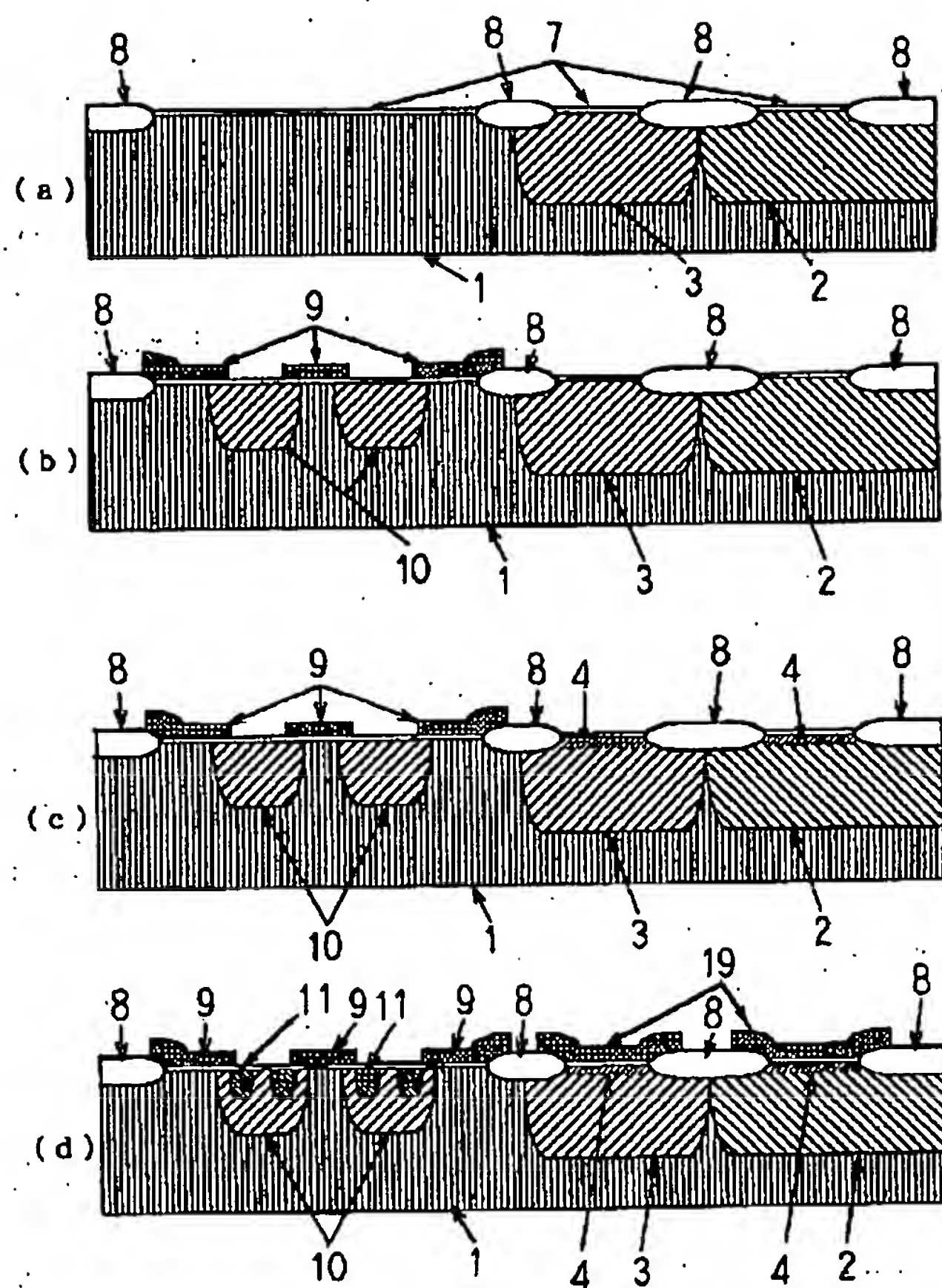
[Drawing 1]



- 1…N型基板
- 2…高温度Nウェル
- 3…高温度Pウェル
- 4…低温度領域
- 5…DMOS領域
- 6…CMOS領域
- 7…素子領域
- 8…素子分離領域
- 9…DMOSゲートポリシリコン
- 10…P型チャネル領域
- 11…ソース領域
- 19…CMOSゲートポリシリコン1…素子領域

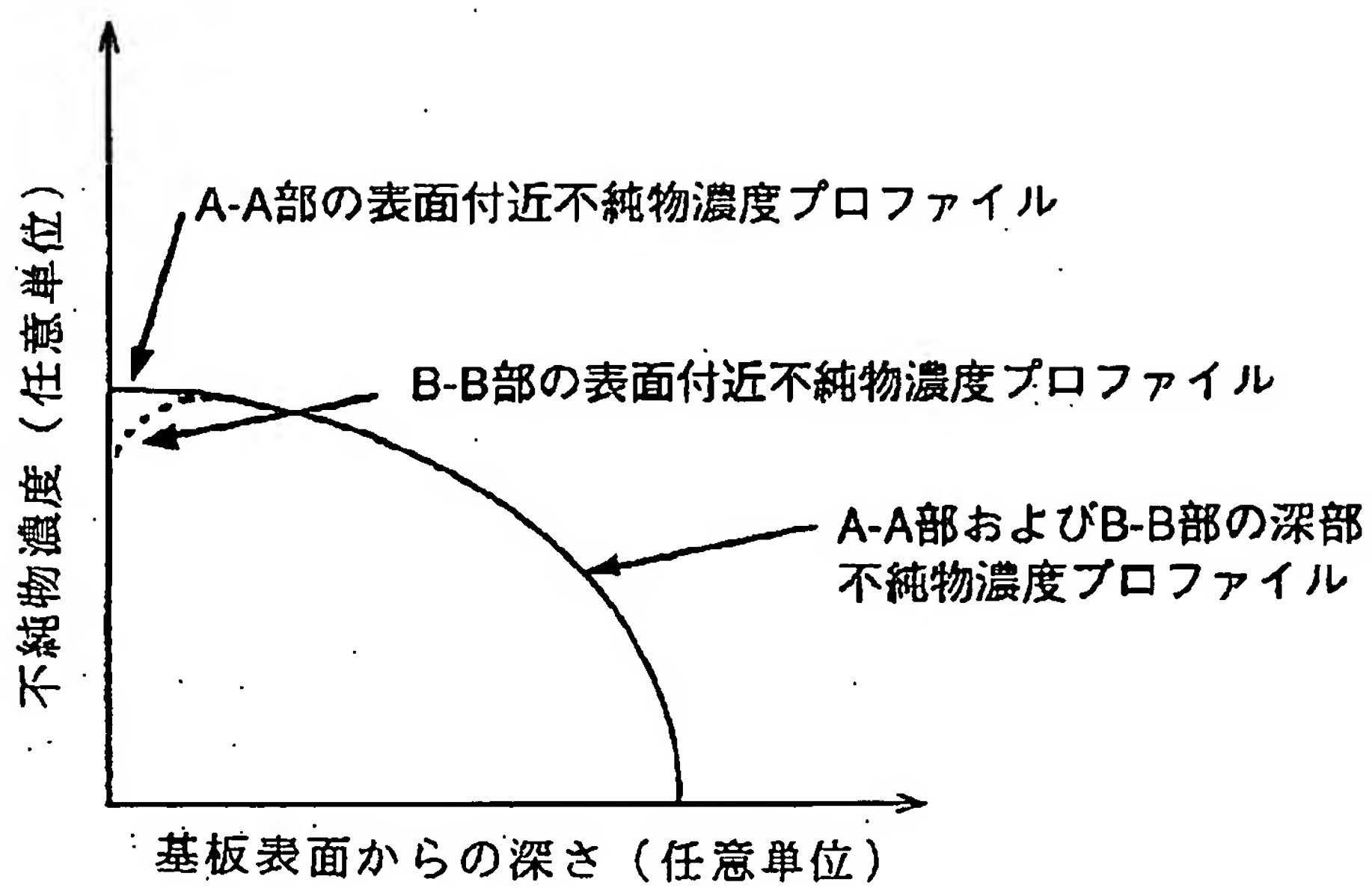
[Drawing 3]

図 3



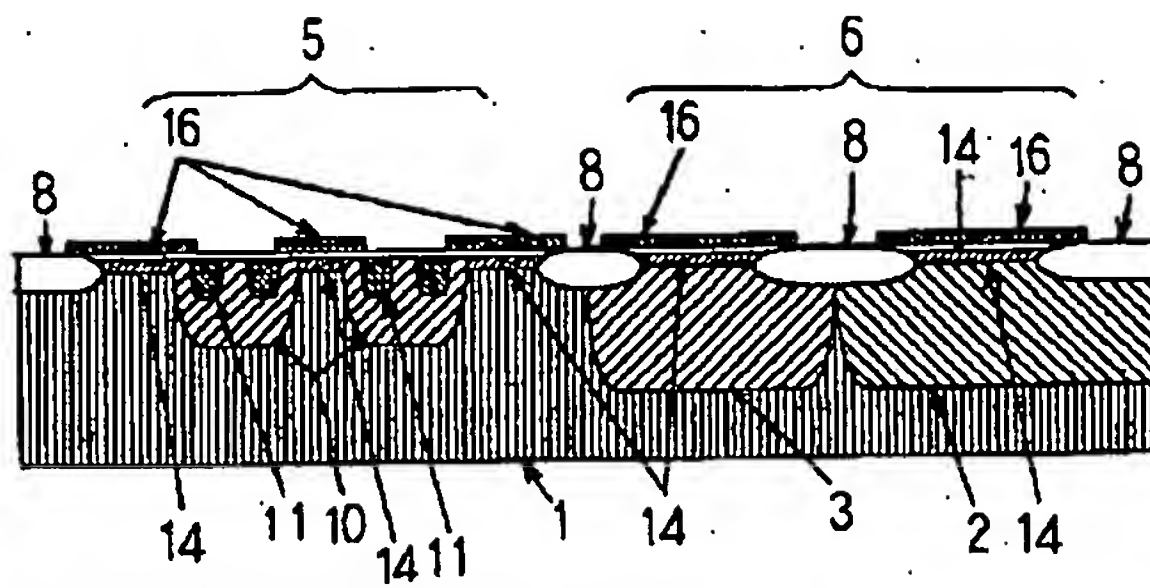
[Drawing 2]

図 2



[Drawing 4]

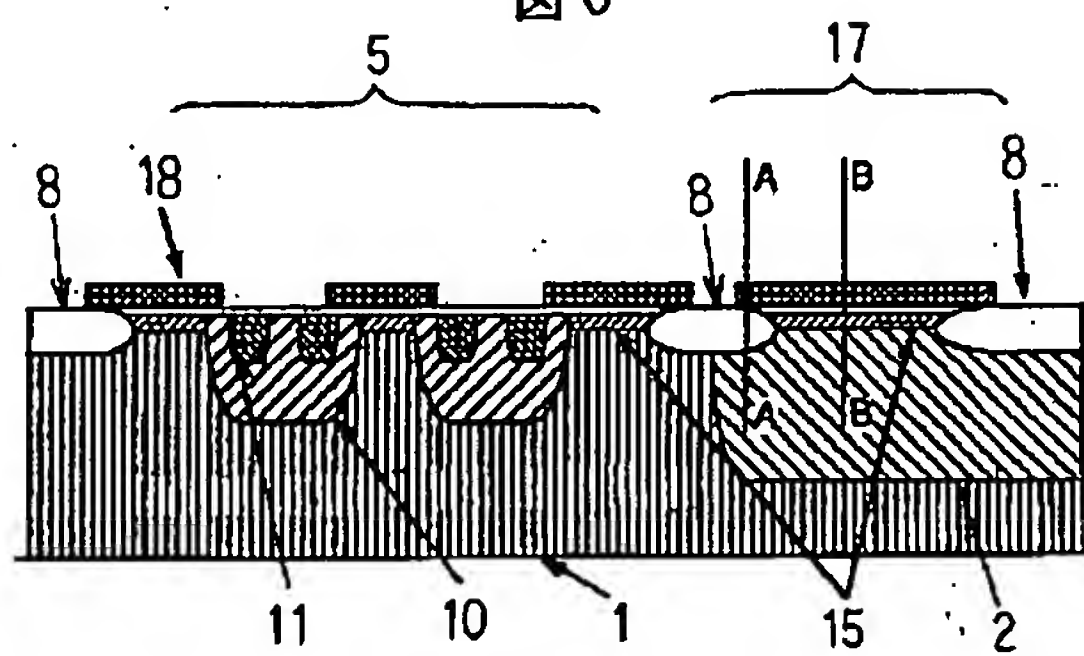
図 4



- 1 ... N型基板
- 2 ... 高濃度Nウェル
- 3 ... 高濃度Pウェル
- 5 ... DMOS領域
- 6 ... CMOS領域
- 8 ... 素子分離領域
- 10 ... P型チャネル領域
- 11 ... ソース領域
- 14 ... 低濃度領域
- 16 ... ゲートポリシリコン

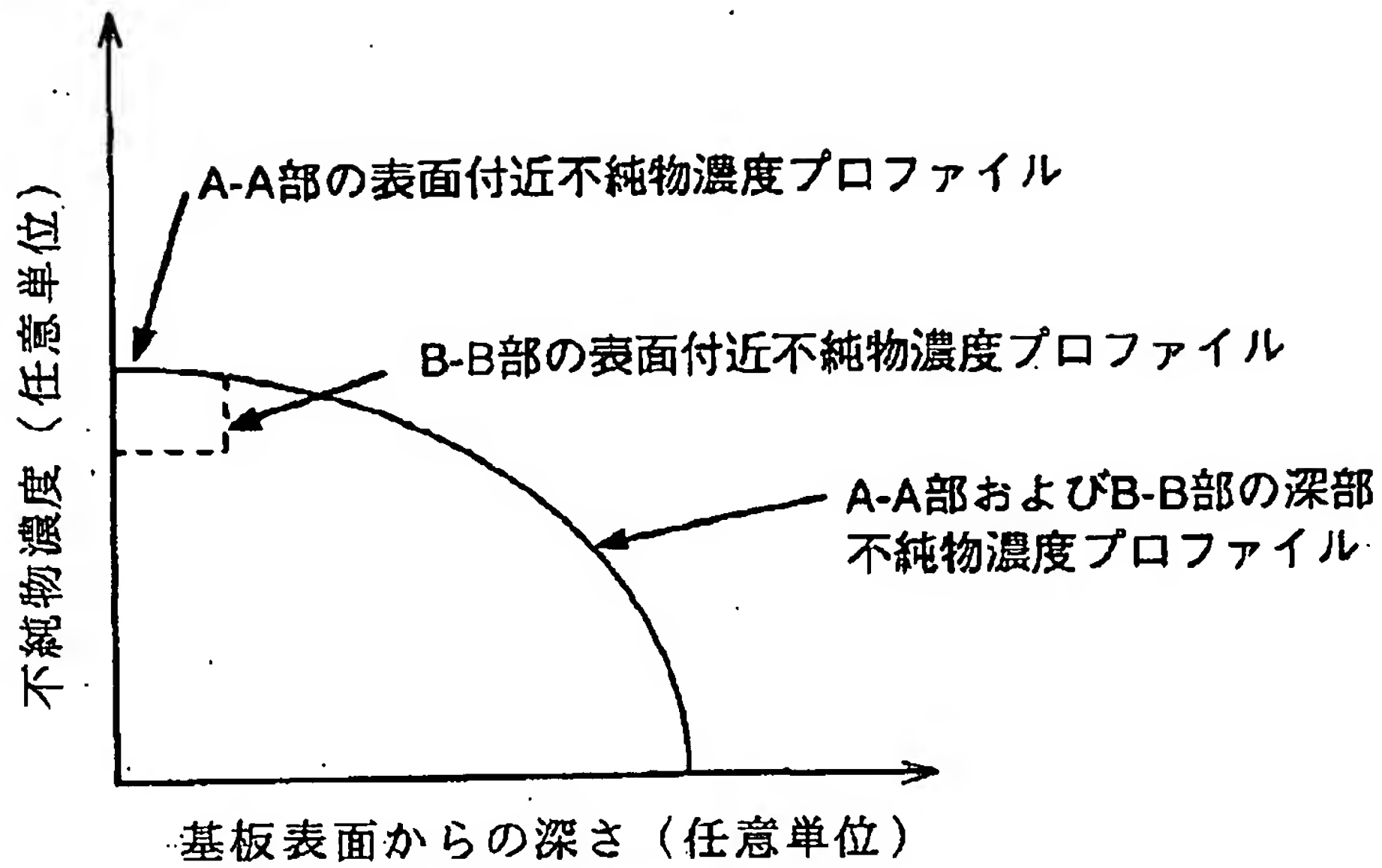
[Drawing 6]

図 6



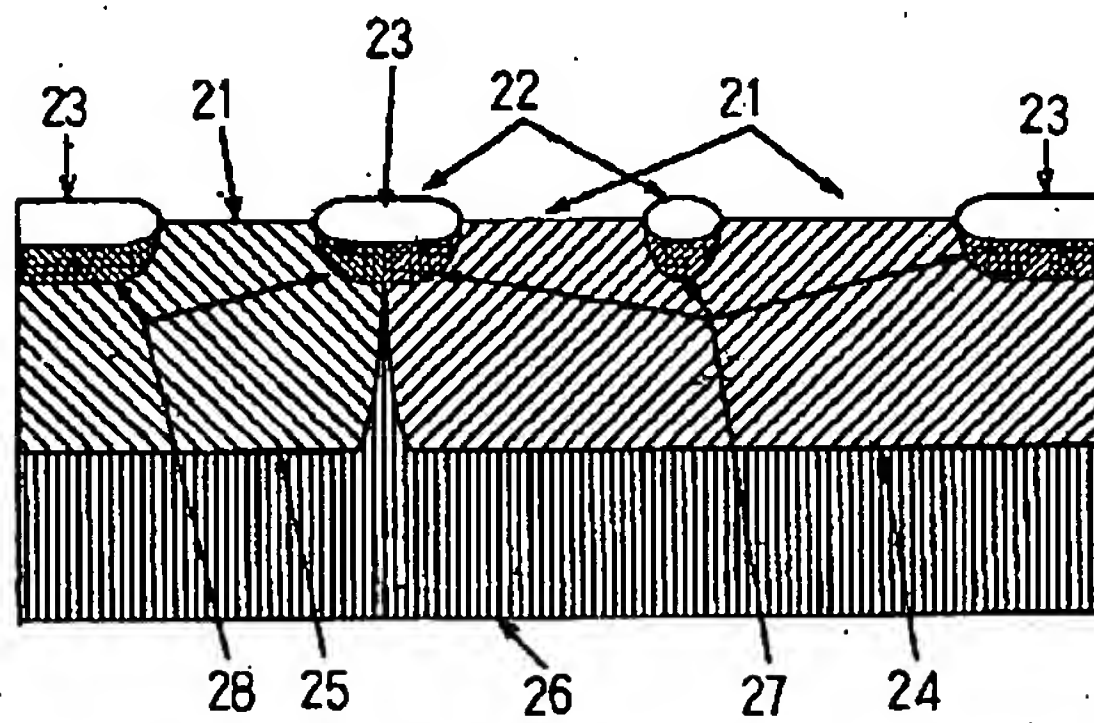
- 1 ... N型基板
- 2 ... 高濃度Nウェル
- 5 ... DMOS領域
- 8 ... 素子分離領域
- 10 ... P型チャネル領域
- 11 ... ソース領域
- 15 ... 低濃度領域
- 17 ... PMOS領域
- 18 ... ゲートポリシリコン

図 7



[Drawing 8]

図 8

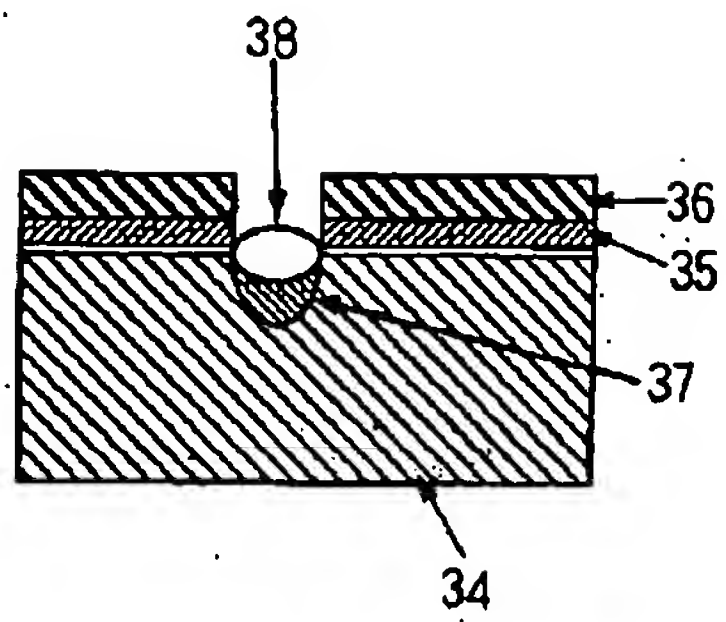


- 2 1 ... 素子領域
- 2 2 ... 素子分離領域
- 2 3 ... LOCOS 酸化膜
- 2 4 ... P ウェル
- 2 5 ... N ウェル
- 2 6 ... N 型基板
- 2 7 ... P 型高濃度領域
- 2 8 ... N 型高濃度領域

[Drawing 9]

[Drawing 11]

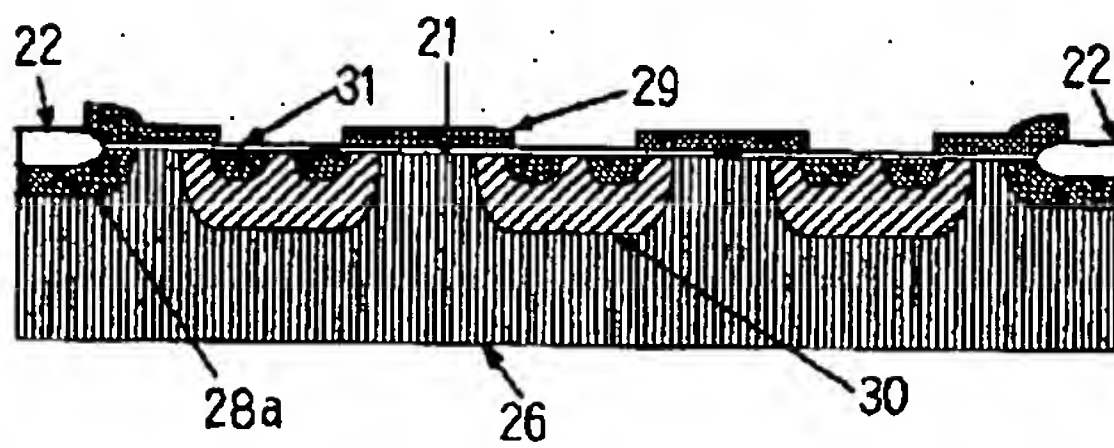
図 1 1



- 34...シリコン基板
- 35...シリコン窒化膜
- 36...シリコン酸化膜
- 37...高濃度領域
- 38...素子分離領域となるシリコン酸化膜

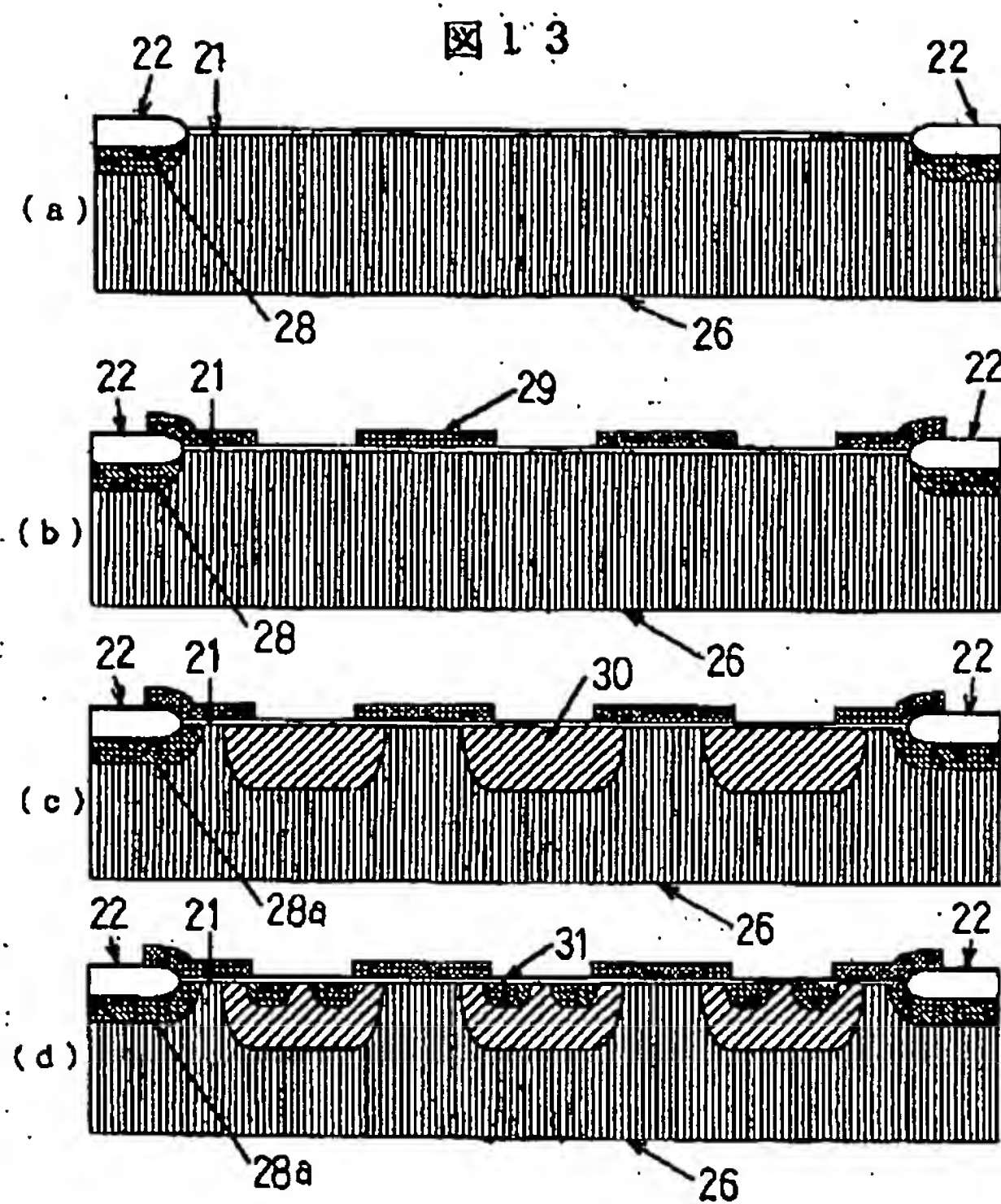
[Drawing 12]

図 1 2

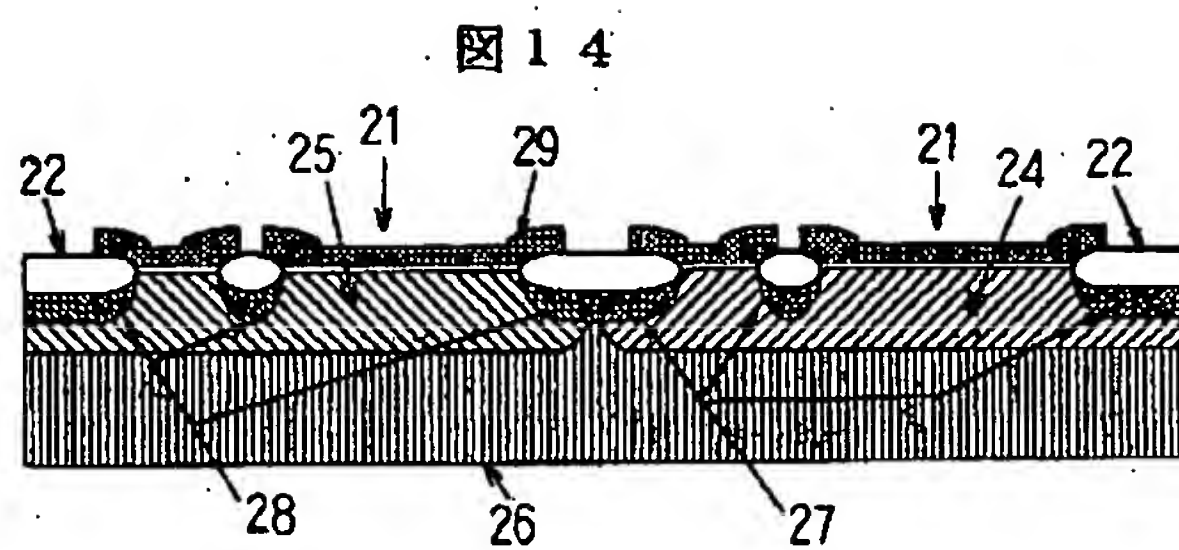


- 21...素子領域
- 22...素子分離領域
- 26...N型基板
- 28a...N型高濃度領域（横拡散）
- 29...ゲートポリシリコン
- 30...P型チャネル領域
- 31...ソース領域

[Drawing 13]



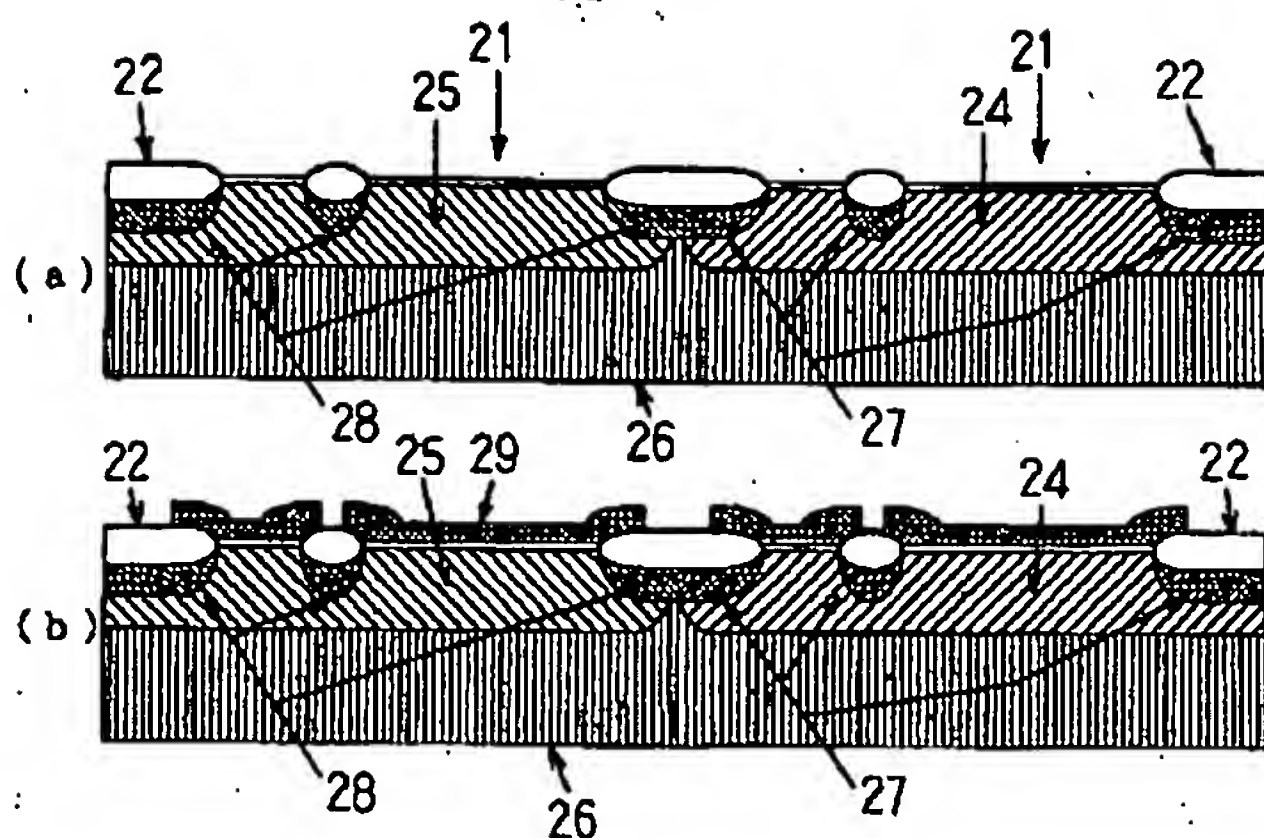
[Drawing 14]



- 21…素子領域
- 22…素子分離領域
- 24…Pウェル
- 25…Nウェル
- 26…N型基板
- 27…P型高濃度領域
- 28…N型高濃度領域
- 29…ゲートポリシリコン

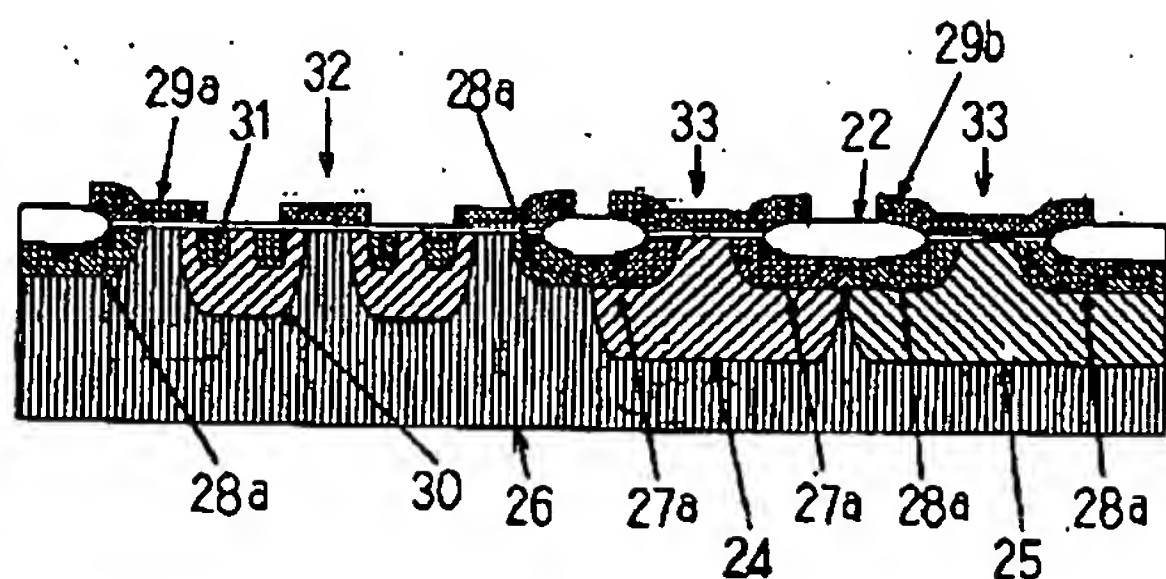
[Drawing 15]

図 1 5



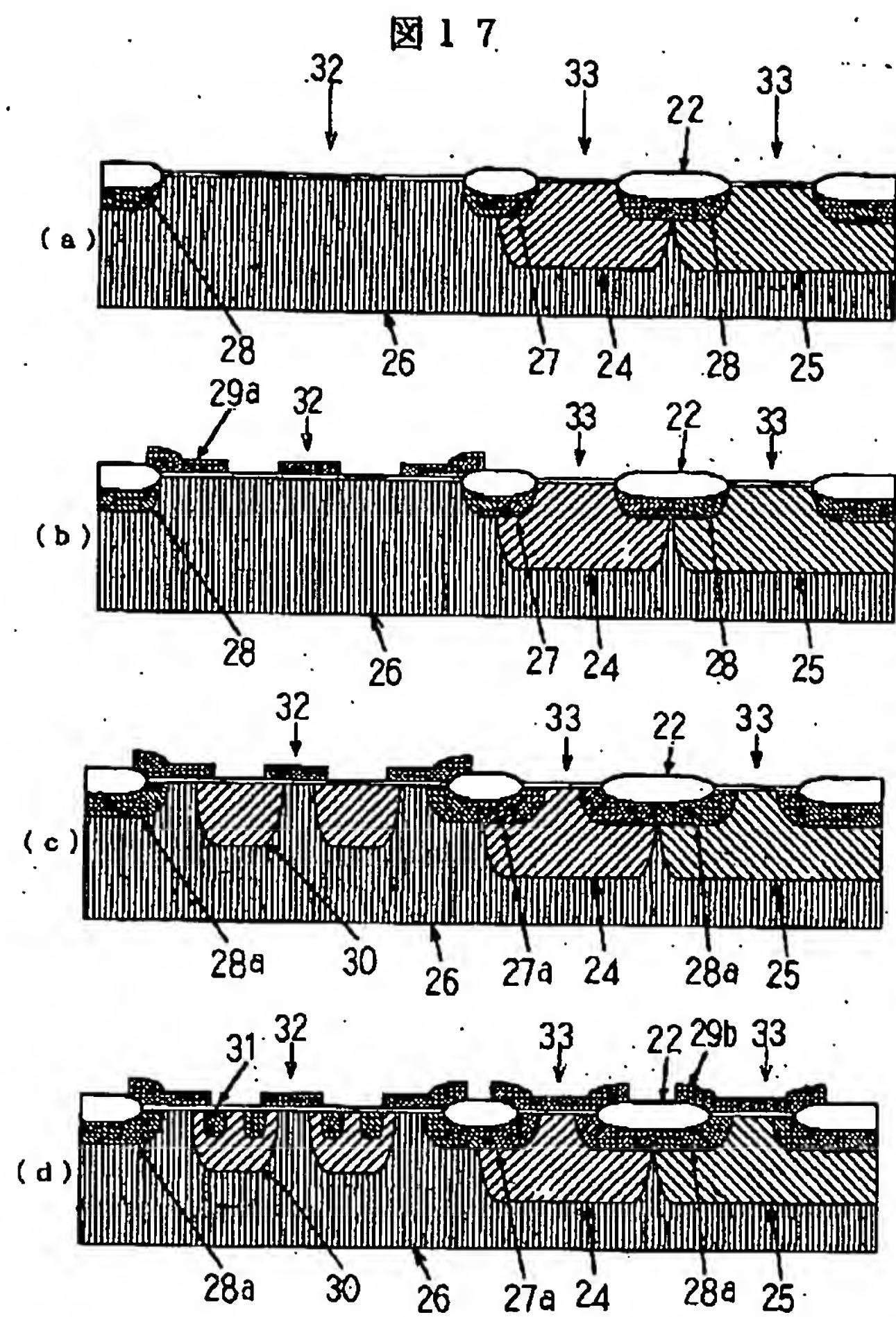
[Drawing 16]

図 1 6



- 2 2 ...素子分離領域
- 2 4 ...Pウェル
- 2 5 ...Nウェル
- 2 6 ...N型基板
- 2 7 a ...P型高濃度領域 (横拡散)
- 2 8 a ...N型高濃度領域 (横拡散)
- 2 9 a ...DMOSゲートポリシリコン
- 2 9 b ...CMOSゲートポリシリコン
- 3 0 ...P型チャネル領域
- 3 1 ...ソース領域
- 3 2 ...DMOS領域
- 3 3 ...CMOS領域

[Drawing 17]



[Translation done.]

文献 1

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/78	9447-4M	H 0 1 L	6 5 6 D
	27/02			27/02
	21/8238			27/08
	27/092			3 2 1 M

審査請求 未請求 請求項の数 2 O L (全 13 頁)

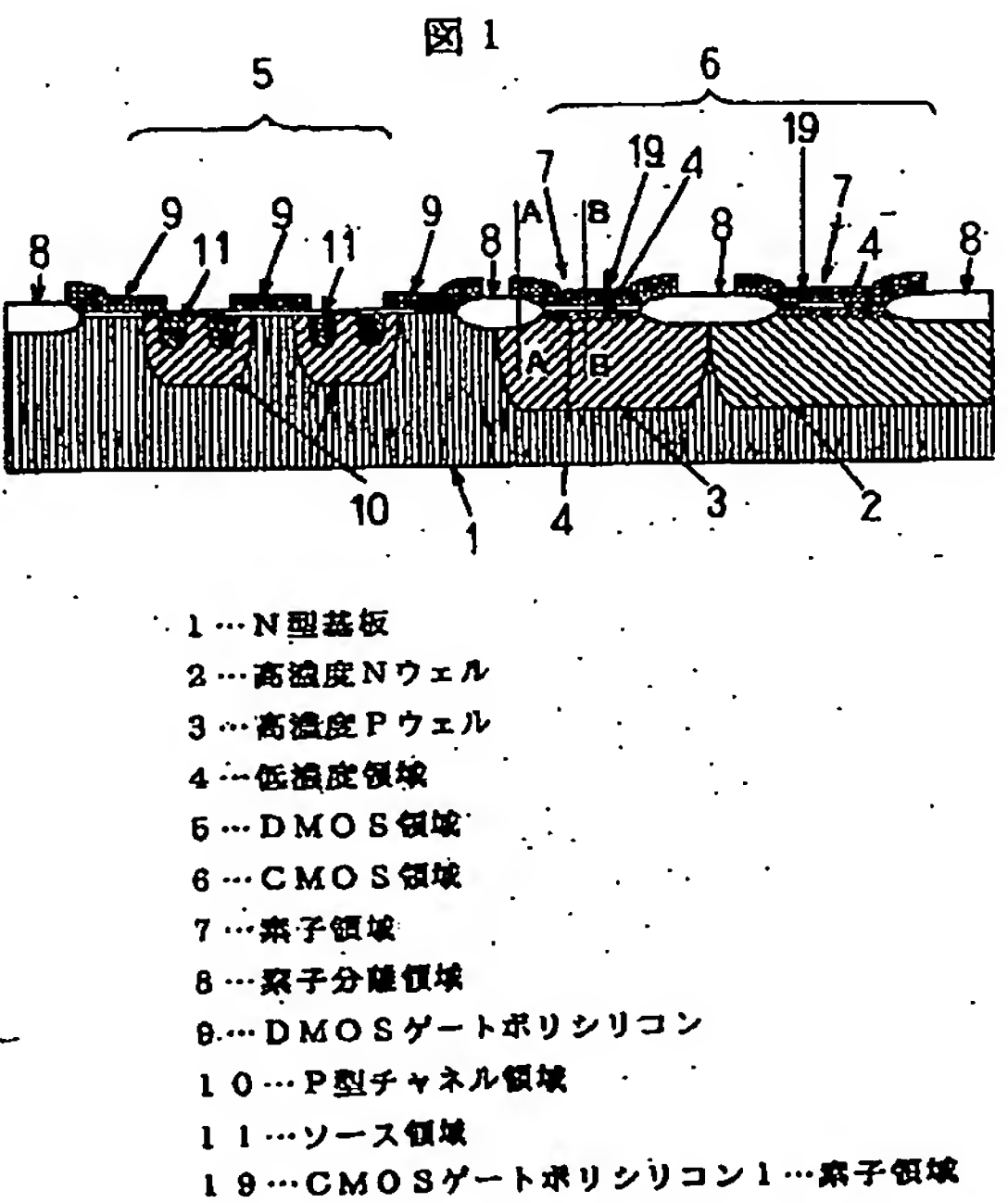
(21)出願番号	特願平8-2454	(71)出願人	000003997 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地
(22)出願日	平成8年(1996)1月10日	(72)発明者	篠原 俊朗 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
		(74)代理人	弁理士 中村 純之助 (外1名)

(54)【発明の名称】 MOS型半導体装置

(57)【要約】

【課題】 Pウェル、Nウェルの不純物濃度を、P型高濃度領域、N型高濃度領域と同程度の不純物濃度とし、かつ、素子領域の表面濃度を下げることにより実効的な素子領域の幅を狭めることなく、素子領域のしきい値電圧と素子分離領域のチャネルストップパとしての性能を両立させ、微細で高集積なインテリジェントパワー型半導体装置を実現する。

【解決手段】 半導体基板面に、P型の領域またはN型の領域、もしくはP型の領域およびN型の領域を有し、この領域上に、素子領域と素子分離領域とを形成してDMOSとCMOSを集積したインテリジェントパワー型半導体装置であって、素子領域の基板内不純物濃度プロファイルと、素子分離領域の基板内の不純物濃度プロファイルとが、基板の表面部を除いて一致させ、素子領域の基板の表面は、基板の内部よりも低い不純物濃度を有する構造のMOS型半導体装置とする。



【特許請求の範囲】

【請求項1】同一の半導体基板上に、DMOS（2重拡散自己整合型MOS）とCMOS（相補型MOS）を組み合わせて集積したインテリジェントパワー型半導体装置であって、P型の領域およびN型の領域の不純物濃度を、素子分離領域の下部の不純物濃度と同程度の濃度となし、かつ素子領域の最表面不純物濃度を低くすることによって、素子領域のしきい値電圧と素子分離領域のチャンネルストップとしての性能を両立させ、実効的な素子領域の幅を狭めることなく、微細で高集積なインテリジェントパワー素子を構成してなることを特徴とするMOS型半導体装置。

【請求項2】半導体基板面に、P型の領域またはN型の領域、もしくはP型の領域およびN型の領域を有し、該領域上に、素子領域と素子分離領域とを形成して、同一基板上にDMOSとCMOSを組み合わせて集積したインテリジェントパワー型半導体装置であって、上記基板の素子領域の基板内不純物濃度プロファイルと、上記基板の素子分離領域の下部の基板内の不純物濃度プロファイルとが、上記基板の最表面部を除いて一致しており、上記素子領域の基板の最表面は、上記基板の内部よりも低い不純物濃度を有する構造としたことを特徴とするMOS型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はMOS（Metal Oxide Semiconductor）型半導体装置、特にCMOS（相補型MOS）とDMOS（2重拡散自己整合型MOS）を、1チップ上に組み合わせて形成したインテリジェントパワー型半導体装置に関する。

【0002】

【従来の技術】従来のMOS型半導体装置として、例えば、図8に示す構造のものがある。これは、一般的なCMOS型半導体装置の断面構造を模式的に示した図である。このCMOS型半導体装置の構成は、N型基板26の表面部に、P型のPウェル（P型の領域）24とN型のNウェル（N型の領域）25が形成され、また基板表面には、素子領域21と素子分離領域22を区分するLOCOS酸化膜（シリコン基板の選択的酸化構造）23が形成されている。Pウェル24、Nウェル25の表面濃度は、通常このMOS型半導体装置のしきい値電圧設定のため、 $10^{15} \sim 10^{16} / \text{cm}^3$ 程度の表面濃度に設定されている。また、Pウェル24上の素子分離領域22となるLOCOS酸化膜23の下部には、チャンネルストップとなる $10^{17} \sim 10^{18} / \text{cm}^3$ 程度のP型高濃度領域27が、また、Nウェル25上の素子分離領域となるLOCOS酸化膜23の下部には、チャンネルストップとなる $10^{17} \sim 10^{18} / \text{cm}^3$ 程度のN型高濃度領域28が形成されている。そして通常、このCMOS型半導体装置の作製法としては、ウェルを形成した後、LOCOS

S酸化用マスクを形成し、このマスクと自己整合的にチャンネルストップ領域に高濃度不純物をイオン注入し、その後にLOCOS酸化用マスクをマスクとして選択的な熱酸化を行い、高濃度領域およびLOCOS酸化膜を同時に形成している。これらの高濃度領域は、素子分離領域の表面不純物濃度を高め、素子分離領域に寄生的に形成されるMOSトランジスタのしきい値電圧を高めることによりチャンネルストップとして作用している。このように、一般的なCMOS型半導体装置においては、素子分離領域の表面濃度をウェル領域よりも高めることにより、素子領域のしきい値電圧と素子分離領域のチャンネルストップとしての性能を両立させている。また、この変形として、N型不純物領域を熱酸化すると、N型不純物領域の表面濃度が偏析効果により熱酸化前よりも高くなる現象を利用して、上記Nウェル内のN型高濃度領域を形成せずに上記と同様の効果を得ることも行われているが、この現象はN型不純物領域についてのみ起きる現象であり、P型不純物領域については、P型高濃度領域を形成しないとチャンネルストップとして作用しないため、P型高濃度領域の形成工程を省略することはできない。以上説明した第1の従来例は、LOCOS酸化工程の前にチャンネルストップとなる不純物をイオン注入し、LOCOS酸化工程と同時に注入イオンを拡散させて高濃度不純物領域を形成しているため、同時に起こる注入イオンの横拡散の結果、高濃度不純物領域は図9に示すごとく、LOCOS酸化膜23から素子領域21にまではみ出してしまふ（P型高濃度領域27a）。一例として、 1000°C のLOCOS酸化により $1\mu\text{m}$ 程度の厚さのLOCOS酸化膜23を形成する場合、上記P型高濃度領域27aの横方向へのはみ出しは $0.3\mu\text{m}$ 程度であり、その結果、図10（a）、（b）に示すごとく、MOSトランジスタを形成すると、実効的なチャンネル幅が設計値よりも著しく小さくなるという問題がある。この例として、 $1.0\mu\text{m}$ の設計チャンネル幅に対して、実効チャンネル幅は $0.4\mu\text{m}$ 程度になってしまう。このことは、微細化して小さなチャンネル幅を実現しようとしても限界があり、その限界がチャンネルストップの横拡散に影響されることを示している。この問題を解決する第2の従来例として、図11に示す手法（特開平4-337650号公報）が提案されている。これは、素子分離領域となるシリコン酸化膜38の形成用のマスクとして、シリコン窒化膜35および高エネルギーイオン注入のマスク性能を持たせるためのシリコン酸化膜36を形成した後、素子分離領域となるシリコン酸化膜38を形成し、その後、高エネルギーでシリコン基板34と同一導電型の不純物イオンを注入して高濃度領域37を形成している。すなわち、上記シリコン酸化膜38を形成した後、高濃度領域37を形成することにより、高濃度領域37の横拡がりを防止している。しかしながら、この手法においては高価な、高エネルギーのイオン注入装置が必要

となり、チップコストを押し上げる他、高エネルギーイオン注入時におけるマスク材料として、従来のフォトレジストではマスク性能が劣るため、シリコン酸化膜36が必要となるなど、製造工程が複雑となり、さらにはコストアップの要因ともなる。さらに、以上説明した通常のMOS型半導体装置において、素子分離領域に形成される高濃度不純物領域が受ける熱処理は、主としてLOCOS酸化時の熱処理であり、高濃度不純物領域の横拡散は、高々0.3 μ m程度であるのに対して、CMOSとDMOS（2重拡散自己整合型MOS）を1チップ上に組み合わせて形成したインテリジェントパワー型半導体装置においては、高濃度不純物領域が受ける熱処理は、LOCOS酸化時の熱処理に加えて、DMOS形成時の2重拡散という、さらに高温、長時間の熱処理が加わるため高濃度不純物領域の横拡散はいつそう大きくなる。本発明者の実験によると、LOCOS酸化膜の形成後、DMOS形成のために1120℃、18時間の熱処理を行った結果、高濃度不純物の横拡散は約5 μ mにも達した。これを図12～図17を用いて説明する。図12および図13（a）～（d）は、DMOSの構造およびその作製法を示し、図14および図15（a）～

（b）は、CMOSの構造およびその作製法を示し、図16および図17（a）～（d）は、インテリジェントパワー素子の構造およびその作製法を示す。それぞれの構造および作製法の違いにより、チャネルストップとしての高濃度領域の横拡がりに差異が生じる。まず、DMOSにおいては図12に示すように、N型基板26の表面に、素子分離領域22となるLOCOS酸化膜が形成され、その下部の素子領域21へはみ出したN型高濃度領域28aが形成されている。そして、素子領域21の基板表面には、ゲートポリシリコン膜29が形成され、その下部にゲート酸化膜を介して、P型チャネル領域30およびソース領域31が形成されている。図12から分かるように、DMOSにおいてN型高濃度領域28aは、素子分離領域22のLOCOS酸化膜から素子領域21側に大きくはみ出している。以下、図13（a）～（d）を用いて、図12に示したDMOSの作製法を説明し、N型高濃度領域28aが素子領域21側に大きくはみ出す理由について述べる。図13（a）に示すように、N型基板26の表面にN型高濃度領域28の元になるイオンを注入し、その後、素子分離領域22のみを選択的に酸化する。このとき、注入したイオンは熱拡散し、N型高濃度領域28となる。ここで、図から分かるように、この時点での横拡散の長さは小さく、素子領域21へのはみ出しも0.3 μ m程度と小さい。次に、図13（b）に示すように、ゲート電極となるゲートポリシリコン29を形成する。次に、図13（c）に示すように、P型チャネル領域30を、ボロンのイオン注入と熱拡散により形成する。ここで、P型チャネル領域30はDMOSのドレインソース間耐圧確保のため、ある程

度深く（例えば5 μ m程度）拡散させる必要があり、このため、例えば1120℃、18時間という高温、長時間の熱処理を行う必要がある。このとき、同時にN型高濃度領域28aも横拡散して、素子領域21に、片側から4 μ m程度と大きくはみ出したN型高濃度領域28aとなる。この結果、ゲート幅としては実効的に1.0 μ mを得たい場合でも設計値としては9.0 μ m程度必要となり、素子の微細化の大きな妨げとなっている。次に、図13（d）に示すように、ソース領域31を、ヒ素のイオン注入と熱拡散により形成する。この熱拡散は温度も低く、拡散時間も短いためN型高濃度領域28の横拡散への影響はほとんどない。以上述べたように、DMOSにおいてはN型高濃度領域28aの横拡散は大きく、素子領域21へ大きくはみ出すが、しかしDMOSにおいては、チップ面積に占める素子分離領域22の面積がわずかしかないため、このはみ出しによる影響はほとんどない。次に、CMOSにおいては、図14に示すように、N型基板26の表面に、P型のPウェル24およびN型のNウェル25が形成されており、それぞれの表面の一部に素子分離領域22が形成されている。そして、Pウェル24内の素子分離領域22の下部にはP型高濃度領域27が、またNウェル25内の素子分離領域22の下部にはN型高濃度領域28が形成されている。以下、図15（a）、（b）を用いて、図14に示したCMOSの作製法を説明すると共に、N型高濃度領域28が素子領域21側にはみ出す理由について述べる。図15（a）に示すように、N型基板26の表面に、ボロンのイオン注入および拡散によりPウェル24を、リンのイオン注入および拡散によりNウェル25を、それぞれ形成する。次に、P型高濃度領域27となるボロンをPウェル24内の素子領域21以外の部分に、また、N型高濃度領域28となるリンをNウェル25内の素子領域21以外の部分にイオン注入し、その後、素子領域21以外の部分のみを選択的に酸化して素子分離領域22を形成する。この酸化時の熱処理によってP型高濃度領域27、N型高濃度領域28は深さ方向、横方向に拡散するが、この熱処理は、さほど大きくないため、上述の第1の従来例で説明したように、その横拡散は小さく、素子領域21へのはみ出しも0.3 μ m程度と小さい。次に、図15（b）に示すように、ゲートポリシリコン29を形成する。CMOS形成工程においては、この後、ソース領域（図示せず）の形成工程による熱処理が加わるが、この熱処理は小さいため、図15（a）におけるP型高濃度領域27、N型高濃度領域28が、さらに大きく素子領域21にはみ出すことはない。ここがDMOS形成工程と大きく異なる点である。CMOSにおいては、素子分離領域22の面積が非常に大きく、また狭い幅の素子領域21を実現する要求が強いため、P型高濃度領域27、N型高濃度領域28の素子領域21へのはみ出しは重要なポイントであるが、上述したように

CMOSにおいては、素子分離領域22下のP型高濃度領域27、N型高濃度領域28の素子領域21へのはみ出しが、せいぜい $0.3\mu\text{m}$ 程度と小さいため、結果的に大きな問題とはならない。最後に、DMOSとCMOSを1チップ上に集積したインテリジェントパワー型半導体装置について説明する。図16に、インテリジェントパワー型半導体装置の断面図を示す。N型基板26上に、DMOS領域32と、CMOS領域33を一体化して形成している。DMOS領域32においては、素子分離領域22およびその下部のN型高濃度領域28a、P型チャンネル領域30およびDMOSゲートポリシリコン29a、ソース領域31等が形成されている。また、CMOS領域33においてはPウェル24およびNウェル25が形成され、基板表面に素子分離領域22が形成されている。素子分離領域22の下部にはP型高濃度領域27aおよびN型高濃度領域28aが形成され、CMOS領域33の表面には、CMOSゲートポリシリコン29bが形成されている。この、インテリジェントパワー型半導体装置の作製法は、基本的には図13に示したDMOSの作製法と、図15に示したCMOSの作製法を組み合わせたものとなり、それぞれの性能を十分に得ようとする、素子特性に重要な影響を及ぼす素子分離工程、ゲート形成工程は、それぞれシリーズにつなげるのが最も単純で一般的である。しかしながら、この手法では工程数が非常に多くかかるだけでなく、DMOS用のゲート酸化膜やゲート電極、P型チャンネル領域を形成した後、再びCMOS利用域のLOCOS酸化膜形成用の窒化シリコン膜を形成し、LOCOS酸化を行うためLOCOS酸化時のストレスによりDMOSにゲートソース間リークやドレインソース間リークが発生して、製作の歩留まりが大幅に低下するため、チップコストが上昇するという問題がある。そこで、チップコストを削減するために、素子特性を犠牲にしても工程数を削減したい場合には、各工程でのDMOSとCMOSの共用をはかることも考えられる。その作製法を、図17

(a)～(d)により説明する。この作製工程では、素子分離領域22、N型高濃度領域28、そしてP型高濃度領域27を共用化している。図17(a)に示すように、N型基板26の表面にPウェル24およびNウェル25を形成し、その後、基板表面の素子分離領域22となる部分の下部に、N型高濃度領域28およびP型高濃度領域27を形成するためのイオン注入を行う。そして、選択酸化により素子分離領域22を形成する。このとき注入されたイオンは、熱拡散して、N型高濃度領域28、P型高濃度領域27となるが、このときの熱処理は 1000°C で数時間程度であり、この段階でのP型高濃度領域27、N型高濃度領域28の横拡散は $0.3\mu\text{m}$ 程度と小さく、素子領域21へのはみ出しも無視できる。次に、図17(b)に示すように、DMOSゲートポリシリコン29aを形成する。次に、図17(c)に

示すように、DMOSゲートポリシリコン29aをマスクとして、ボロン等のイオン注入および熱拡散を行い、P型チャンネル領域30を形成する。この熱拡散はDMOSのドレインソース間耐圧を確保する必要から、例えば、温度が 1100°C ～ 1150°C 程度と高く、時間も数時間～数十時間と長いため、このとき同時にP型高濃度領域27、N型高濃度領域28も拡散してしまい、図17(c)に示したように、素子領域21へのはみ出しが発生し、横拡散の大きいN型高濃度領域28a、P型高濃度領域27aとなる。本発明者の実験によると、 1120°C 、18時間の熱処理により片側に約 $4\mu\text{m}$ のはみ出しが生じた。その後、図17(d)に示すように、CMOS領域33においてCMOSゲートポリシリコン29bを形成し、その後、DMOS領域32のソース領域31およびCMOS領域33にソース、ドレイン(図示せず)を形成する。インテリジェントパワー素子の完成のためには、この後、配線工程などが必要であるが、本発明の主旨からは外れるので説明を省略する。しかしながら、このように素子分離領域22、N型高濃度領域28a、P型高濃度領域27aを共用化して、インテリジェントパワー素子を形成した場合、上述したように、それぞれの高濃度領域が大きく(本発明者の実験例では片側に $4\mu\text{m}$)はみ出してしまうため、素子の微細化ができず、その結果チップサイズが大きくなってしまい、チップコスト低減という当初の狙いが達成できないという問題が生じる。

【0003】

【発明が解決しようとする課題】 上述したごとく、従来技術において、インテリジェントパワー素子を形成するに際して、DMOS工程とCMOS工程をシリーズに繋げて形成すれば、LOCOS酸化時のストレスによりDMOSにゲートソース間リークやドレインソース間リークが発生してチップの製作歩留まりが低下し、かつ工程数が多くなるためにチップコストが上昇するという問題がある。このチップコスト低減のために、工程数を減らして工程の共用化をはかると、図17(d)に示すN型高濃度領域28a、P型高濃度領域27aのように、素子領域に大きくはみ出してしまうので、素子特性が劣化するばかりか、素子寸法も大きくなってしまい、結果として、チップサイズの大型化によるチップコストの上昇という問題が生じる。また、一般的な素子分離技術として、シリコン基板表面に溝を形成する、いわゆるトレンチ分離技術もあるが、この技術は高価なトレンチ形成装置を使う必要があり、低コストのインテリジェントパワー型半導体装置を作製するためには適用し難い。また、DMOSとCMOSを同一基板上に集積したインテリジェントパワー型半導体装置の作製において、ボロン等のイオン注入および熱拡散を行ってP型チャンネル領域30を形成する場合に、DMOSのドレインソース間耐圧を確保する必要から、高温(1100°C ～ 1150°C 程

度)で、長時間(数時間～数十時間)拡散処理する必要があり、このとき同時にP型高濃度領域27、N型高濃度領域28も拡散してしまい、図17(d)に示すように、横拡散の大きいN型高濃度領域28a、P型高濃度領域27aとなるのは必然的に起こるものであって、この現象はDMOS部もCMOS部も同様に起こり、さらにインテリジェントパワー型半導体装置においては、素子分離領域の面積の大きいCMOS部を含んでいるために、図17(c)に示すP型高濃度領域27、N型高濃度領域28の素子領域へのはみ出しが大きな問題となる。したがって、従来は素子特性上および回路特性上、上記はみ出しが問題とならない程度にまで、素子領域を大きな幅として設計せざるを得ず、高濃度領域の素子領域へのはみ出しによる無駄領域の発生によって、回路の高集積化や微細化の大きな妨げとなっていた。

【0004】本発明の目的は、上記従来技術における問題点を解消するものであって、Pウェル領域、Nウェル領域の不純物濃度を、それぞれP型高濃度領域およびN型高濃度領域と同程度の不純物濃度とし、かつ、CMOS領域の素子領域の表面濃度を下げることにより、素子領域のしきい値電圧と素子分離領域のチャネルストップパとしての性能を両立させ、実効的な素子領域の幅を狭めることなく、微細で高集積なインテリジェントパワー型半導体装置を提供することにある。

【0005】

【発明を解決するための手段】上記本発明の目的を達成するために、本発明は特許請求の範囲に記載のような構成とするものである。すなわち、本発明は請求項1に記載のように、同一の半導体基板上に、DMOS(2重拡散自己整合型MOS)とCMOS(相補型MOS)を組み合わせて集積したインテリジェントパワー型半導体装置であって、P型の領域およびN型の領域の不純物濃度を、素子分離領域の下部の不純物濃度と同程度の濃度となし、かつ素子領域の最表面不純物濃度を低くすることによって、素子領域のしきい値電圧と素子分離領域のチャネルストップパとしての性能を両立させ、実効的な素子領域の幅を狭めることなく、微細で高集積なインテリジェントパワー素子構造を有するMOS型半導体装置とするものである。また、本発明は請求項2に記載のように、半導体基板面に、P型の領域またはN型の領域、もしくはP型の領域およびN型の領域を有し、該領域上に、素子領域と素子分離領域とを形成して、同一基板上にDMOSとCMOSを組み合わせて集積したインテリジェントパワー型半導体装置であって、上記基板の素子領域の基板内不純物濃度プロファイルと、上記基板の素子分離領域の下部の基板内の不純物濃度プロファイルとが、上記基板の最表面部を除いて一致しており、上記素子領域の基板の最表面は、上記基板の内部よりも低い不純物濃度を有する構造のMOS型半導体装置とするものである。次に、本発明のMOS型半導体装置の作用につ

いて、図1および図2を用いて説明する。図2に示すように、A-A部における表面不純物濃度は、ほぼ高濃度ウェルの表面濃度となっている。この濃度は、素子分離領域8におけるチャネルストップパとしての性能を満足するように決める必要がある。一方、素子領域7においては、表面濃度は低濃度領域4の形成によって低く設定されているので素子特性への悪影響はない。この構成においては、素子領域7への素子分離領域8からの不純物拡散の影響はないのでチャネル幅の狭い素子を形成することができる。すなわち、実効チャネル幅を1 μ mとしたときには設計チャネル幅も1 μ mとすればよく、従来例〔図10(a)、(b)〕で問題となったような高濃度領域〔27a:P型高濃度領域(横拡散)〕の、はみ出しに伴う無駄スペースは発生しないため、微細化、高集積化が可能となる。なお、図1におけるCMOS領域6に、高濃度Nウェル2、高濃度Pウェル3を形成したが、必要に応じて、N型基板1自体を高濃度化してもDMOS領域5において同様の効果が得られる。

【0006】

【発明の効果】本発明のMOS型半導体装置において、請求項1に記載のように、同一の半導体基板上に、DMOS(2重拡散自己整合型MOS)とCMOS(相補型MOS)を組み合わせて集積したインテリジェントパワー型半導体装置において、P型の領域およびN型の領域の不純物濃度を、素子分離領域の下部の不純物濃度と同程度の濃度となし、かつ素子領域の最表面不純物濃度を低くすることによって、素子領域のしきい値電圧と素子分離領域のチャネルストップパとしての性能を両立させている。このように、P型の領域およびN型の領域の不純物濃度と、素子分離領域の下部の不純物濃度とを同程度の濃い不純物濃度としているため、熱処理により高濃度領域から素子領域へ拡散してはみだしによる無駄領域の発生がなく、チャネル幅の狭い高密度の素子を形成することができる。また、素子領域の最表面不純物濃度を低くしているため素子特性に悪影響を与えることがないので、実効的な素子領域の幅を狭めることなく、微細で高集積のインテリジェントパワー型のMOS型半導体装置を、高い製作歩留まりで、安価に実現できる効果がある。また、本発明は請求項2に記載のように、半導体基板面に、P型の領域またはN型の領域、もしくはP型の領域およびN型の領域を有し、該領域上に、素子領域と素子分離領域とを形成して、同一基板上にDMOSとCMOSを組み合わせて集積したインテリジェントパワー型半導体装置であって、上記基板の素子領域の基板内不純物濃度プロファイルと、上記基板の素子分離領域の下部の基板内の不純物濃度プロファイルとが、上記基板の最表面部を除いて一致しており、上記素子領域の基板の最表面は、上記基板の内部よりも低い不純物濃度を有する構造のMOS型半導体装置とするものである。このように、P型の領域、N型の領域の不純物濃度を、素子分

離領域下部の不純物濃度と同程度に濃い不純物濃度とし、かつCMOSの素子領域の表面濃度を下げる構成としているため、上記請求項1と同様に、高濃度領域から素子領域へのはみだしによる無駄領域の発生がなく、チャンネル幅の狭い高密度の素子を形成することができる。また、素子領域の最表面不純物濃度を低くしているため素子特性に悪影響を与えることがないので、実効的な素子領域幅を狭めることなく、微細で、高集積なインテリジェントパワー型半導体装置を、素子領域のしきい値電圧と素子分離領域のチャンネルストッパとしての性能を両立させながら、歩留まり良く、安価に実現できる効果がある。

【0007】

【発明の実施の形態】以下に、本発明の実施の形態について、図面に基づいてさらに詳細に説明する。

〈第1の実施の形態〉図1に、本発明の第1の実施の形態で例示するMOS型半導体装置の構成の一例を示す。図において、N型基板1の表面に、高濃度Pウェル3と、高濃度Nウェル2が形成され、該N型基板1の表面には、素子分離領域8となる位置に厚い絶縁膜が形成されている。該基板の表面は、DMOS領域5と、CMOS領域6に分割されており、CMOS領域6の高濃度Nウェル2、高濃度Pウェル3の表面には、低濃度領域4が形成され、その上面に、薄い絶縁膜を介してCMOSゲートポリシリコン19が形成されている。また、DMOS領域5においては、N型基板1の表面にP型チャンネル領域10が形成され、その内部にソース領域11が形成されている。そして、基板表面には、薄い絶縁膜を介してDMOSゲートポリシリコン9が形成されている。ここで、本発明のMOS型半導体装置の特徴とするところは、図1中のA-A部断面およびB-B部断面における不純物濃度プロファイルであり、図2に示すように、A-A部においてはおおむねガウス分布に従い、基板内部に行くにしたがって徐々に不純物濃度は低下していくが、B-B部においては表面付近に低濃度領域が形成されているため、図2中に破線で示すように表面付近の不純物濃度が落ち込んでいる。そして、表面付近を除くと、A-A部およびB-B部の不純物プロファイルは一致している。以下、図3(a)～(d)にしたがって、第1の実施の形態で例示した図1に示すMOS型半導体装置の作製法について説明する。図3(a)に示すように、N型基板1の表面に、高濃度Pウェル3および高濃度Nウェル2を、それぞれボロンおよびリンのイオン注入、および熱拡散により形成する。その後、素子分離領域8に、選択的に厚い酸化膜を形成する。図3(b)に示すように、DMOSゲートポリシリコン9を形成し、該ゲートポリシリコン9をマスクとしたボロンのイオン注入および熱拡散によりP型チャンネル領域10を形成する。このとき、本発明のMOS型半導体装置においては、素子分離領域8の下部に、素子領域7よりも不純物

濃度の濃い高濃度領域を形成していないため、素子領域7への不純物のはみ出しによる実効チャンネル長の狭まりのような従来技術で問題となったような現象は起こらない。その後、図3(c)に示すように、高濃度Nウェル2および高濃度Pウェル3の表面に、低濃度領域4を形成する。これは、それぞれ高濃度Nウェル2、高濃度Pウェル3と反対の導電型を持つイオンを注入し、熱処理により活性化することにより形成が可能である。次に、図3(d)に示すように、CMOSゲートポリシリコン19を形成し、さらに、ソース領域11となるリンまたはヒ素をイオン注入することにより、図1に示す構造のMOS型半導体装置が完成する。次に、作用について説明する。図1に示す本発明のMOS型半導体装置においては、A-A部における表面の不純物濃度は、ほぼ高濃度Pウェル3および高濃度Nウェル2の表面濃度となっている。この濃度は、素子分離領域8におけるチャンネルストッパとしての性能を満足するように決める必要がある。一方、素子領域7においては、表面濃度は低濃度領域4の形成によって下げられているので素子特性への悪影響はない。この構成においては、素子領域7への素子分離領域8からの不純物拡散の影響はないため、チャンネル幅の狭い素子を形成することができる。すなわち、実効チャンネル幅を1 μ mとしたいときには、設計チャンネル幅も1 μ mとすればよく、従来技術で問題となったような高濃度領域のはみ出しに伴う無駄なスペースは発生しないため、微細化、高集積化が可能となる。なお、本実施の形態においては、CMOS領域6の高濃度Nウェル2、高濃度Pウェル3を高濃度にしたが、必要に応じて、N型基板1自体を高濃度化してもDMOS領域5において同様の効果が得られる。

【0008】〈第2の実施の形態〉図4に、第2の実施の形態で例示するMOS型半導体装置の構成の一例を示す。まず、N型基板1の表面に、高濃度Pウェル3と高濃度Nウェル2が形成され、このN型基板1の表面には、素子分離領域8となるところに厚い絶縁膜が形成されている。この基板表面は、DMOS領域5とCMOS領域6に分離されており、CMOS領域6の高濃度Nウェル2、高濃度Pウェル3の表面には、低濃度領域14が形成され、その上面に、薄い絶縁膜を介してゲートポリシリコン16が形成されている。また、DMOS領域5においてはN型基板1の表面に、P型チャンネル領域10が形成され、その内部にソース領域11が形成されている。そして、基板表面には薄い絶縁膜を介してゲートポリシリコン16が形成されている。ここで、上述の第1の実施の形態に対して、本実施の形態の特徴は、低濃度領域14の表面と素子分離領域8の表面が、ほぼ同じ高さであるということである。以下、図5(a)～(d)に基づいて、図4に示したMOS型半導体装置の作製法について説明する。図5(a)に示すように、CMOS領域6となるN型基板1の表面に、高濃度Pウェ

ル3および高濃度Nウェル2を、それぞれボロンおよびリンのイオン注入、および熱拡散により形成する。その後、素子分離領域8に選択的に厚い酸化膜を形成する。図5(b)に示すように、シリコンが露出している領域上のみに選択的にシリコンをエピタキシャル成長させ、さらに熱処理することによって高濃度ウェル側からエピタキシャル成長した領域に不純物を拡散させることによって、高濃度Nウェル2および高濃度Pウェル3の表面に、低濃度領域14を形成する。その後、図5(c)に示すように、ゲートポリシリコン16を形成し、DMOS領域5においては、ゲートポリシリコン16をマスクとして、ボロンをイオン注入し、熱拡散することによりP型チャンネル領域10を形成する。このとき、本実施の形態においても第1の実施の形態と同様に、素子分離領域8の下部に高濃度領域を形成していないために、素子領域へのはみ出しのような、従来技術で問題となったような現象は起こらない。次に、図5(d)に示すように、ソース領域11となるリンまたはヒ素をイオン注入し、図4に示した構造のMOS型半導体装置が完成する。本実施の形態においては、本発明の本来の効果に加えて、素子分離領域8の形成後に、選択エピタキシャル成長により素子領域の上面に低濃度領域14を形成しているため、素子分離領域8の上面と素子領域、すなわちDMOS領域5およびCMOS領域6の上面の高さを、ほぼ一致させることができるので、半導体装置としての表面平坦性が向上し特別に平坦化工程を行わなくてもよくなり、その結果、チップコストの低減をはかることができる、また、チップの製造歩留まりが向上することにより、チップコストを低減できるという付加的な効果がある。

【0009】〈第3の実施の形態〉図6に、本発明の第3の実施の形態で例示するMOS型半導体装置の構成の一例を示す。まず、N型基板1の表面に、高濃度Nウェル2が形成され、このN型基板1の表面には、素子分離領域8となるところに厚い絶縁膜が形成されている。基板表面は、DMOS領域5とPMOS領域17に分割されており、PMOS領域17の高濃度Nウェル2の表面には、均一濃度の低濃度領域15が形成され、その上面に、薄い絶縁膜を介してゲートポリシリコン18が形成されている。また、DMOS領域5においては、N型基板1の表面にP型チャンネル領域10が形成され、その内部にソース領域11が形成されている。そして、基板表面には薄い絶縁膜を介してゲートポリシリコン18が形成されている。ここで、上述の第2の実施の形態に対する本実施の形態の特徴は、低濃度領域15が、ほぼ均一濃度であるということであり、これは、第2の実施の形態における選択エピタキシャル成長時に、不純物ドーブしたエピタキシャル成長膜を成長させることにより可能となる。その不純物濃度の分布の一例を図7に示す。本実施の形態では、低濃度領域15の濃度プロファイル

均一としたが、ここで述べたような選択エピタキシャル成長時に不純物ドーブするという手法を用いれば、選択エピタキシャル成長時の不純物濃度を連続的に変えることも可能であり、その結果、素子特性を最大限に引き出すような表面付近の不純物濃度プロファイルとすることも可能となる。以上説明したように、本発明のMOS型半導体装置によれば、Pウェル領域、Nウェル領域の不純物濃度を、素子分離領域下部の不純物濃度と同程度に濃い不純物濃度となし、かつ、CMOS領域の素子領域の表面濃度を下げる構成としたため、実効的な素子領域幅を狭めることなく、微細で、高集積なインテリジェントパワー素子を、素子領域のしきい値電圧と素子分離領域のチャンネルストップとしての性能を両立させて実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるインテリジェントパワー素子の構成を説明する断面図である。

【図2】本発明の第1の実施例によるインテリジェントパワー素子の構成の特徴である不純物濃度プロファイル

を説明する断面図である。

【図3】本発明の第1の実施例によるインテリジェントパワー素子の製造方法を説明する断面図である。

【図4】本発明の第2の実施例によるインテリジェントパワー素子の構成を説明する断面図である。

【図5】本発明の第2の実施例によるインテリジェントパワー素子の製造方法を説明する断面図である。

【図6】本発明の第3の実施例によるインテリジェントパワー素子の構成を説明する断面図である。

【図7】本発明の第3の実施例によるインテリジェントパワー素子の構成の特徴である不純物濃度プロファイル

を説明する断面図である。

【図8】第1の従来の半導体装置の断面図を示した図である。

【図9】従来のCMOS型半導体装置の問題点を説明する図である。

【図10】従来のCMOS型半導体装置の問題点を説明する図である。

【図11】第2の従来の半導体装置の製造方法を示した図である。

【図12】従来のDMOS型半導体装置の構成を説明する断面図である。

【図13】従来のDMOS型半導体装置の製造方法を説明する断面図である。

【図14】従来のDMOS型半導体装置の製造方法を説明する断面図である。

【図15】従来のDMOS型半導体装置の製造方法を説明する断面図である。

【図16】従来のインテリジェントパワー素子の構成を説明する断面図である。

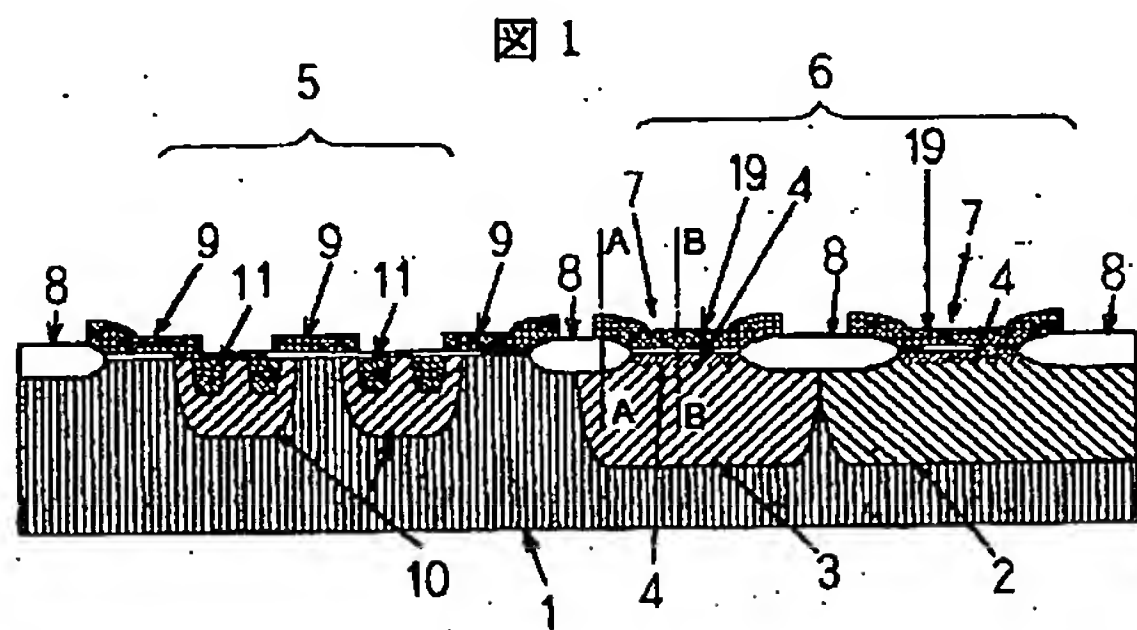
【図17】従来のインテリジェントパワー素子の製造方

法を説明する断面図である。

【符号の説明】

1…N型基板 2…高濃度Nウェル 3…高濃度Pウェル
4…低濃度領域
5…DMOS領域 6…CMOS領域 7…素子領域
8…素子分離領域
9…DMOSゲートポリシリコン 10…P型チャンネル領域
11…ソース領域
14…低濃度領域 15…低濃度領域 16…ゲートポリシリコン
17…PMOS領域 18…ゲートポリシリコン
19…CMOSゲートポリシリコン 21…素子領域
22…素子分離領域
23…LOCOS酸化膜 24…Pウェル 25…Nウェル
26…N型基板

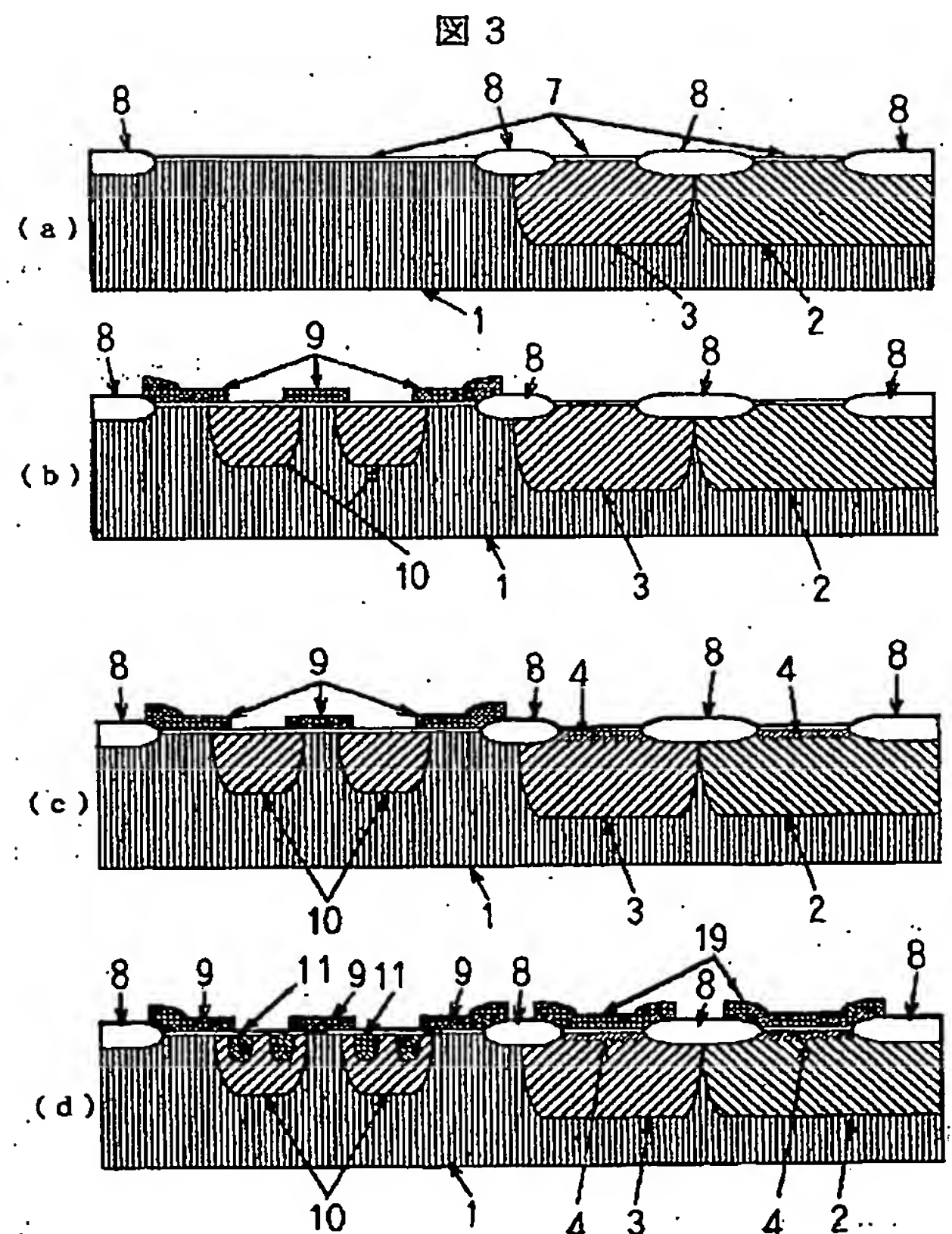
【図1】



1…N型基板
2…高濃度Nウェル
3…高濃度Pウェル
4…低濃度領域
5…DMOS領域
6…CMOS領域
7…素子領域
8…素子分離領域
9…DMOSゲートポリシリコン
10…P型チャンネル領域
11…ソース領域
19…CMOSゲートポリシリコン 1…素子領域

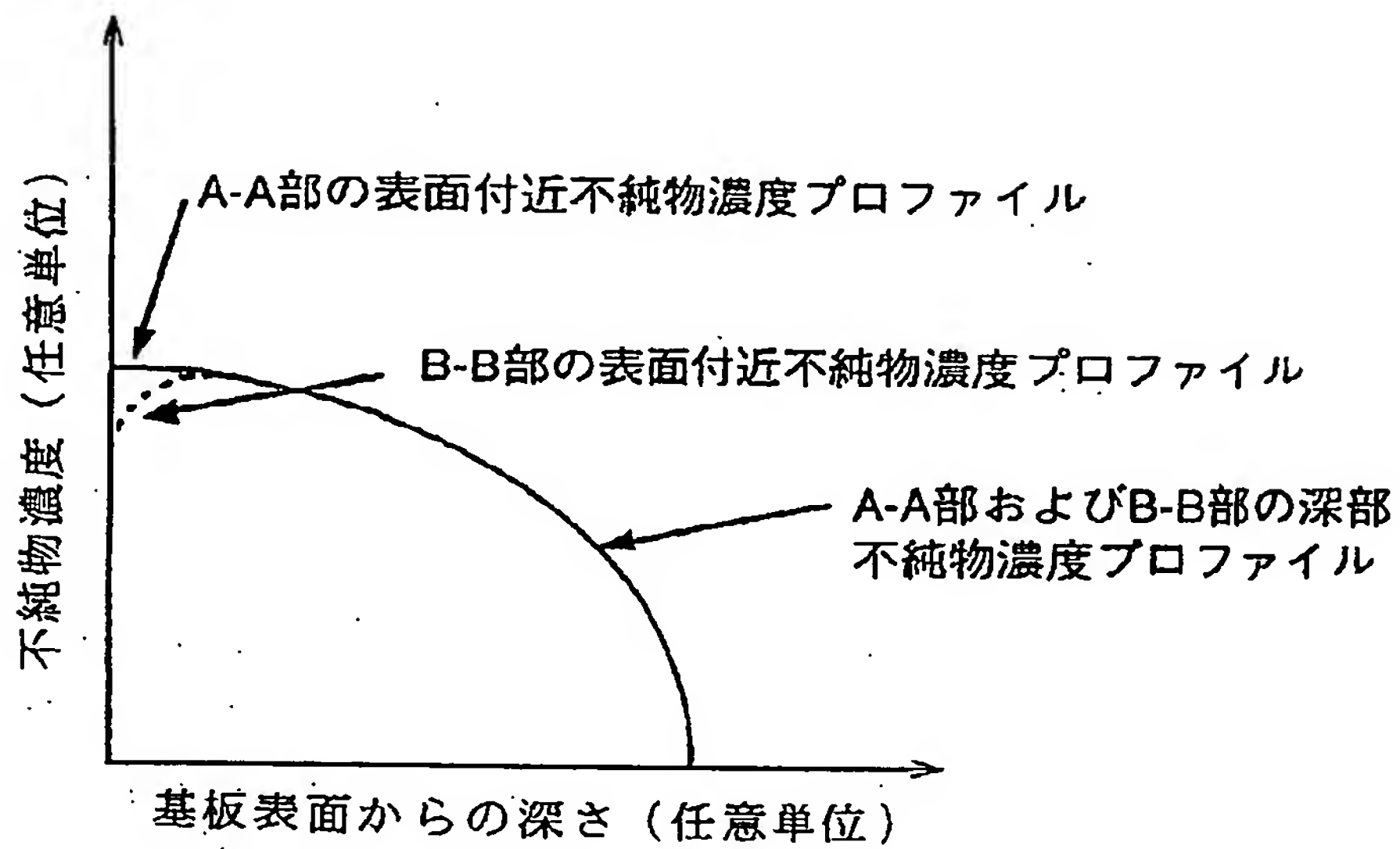
27…P型高濃度領域 27a…P型高濃度領域（横拡散）
28…N型高濃度領域 28a…N型高濃度領域（横拡散）
29…ゲートポリシリコン 29a…DMOSゲートポリシリコン
29b…CMOSゲートポリシリコン 30…P型チャンネル領域
31…ソース領域 32…DMOS領域 33…C
10 MOS領域
34…シリコン基板 35…シリコン窒化膜 36…シリコン酸化膜
37…高濃度領域 38…素子分離領域となるシリコン酸化膜

【図3】



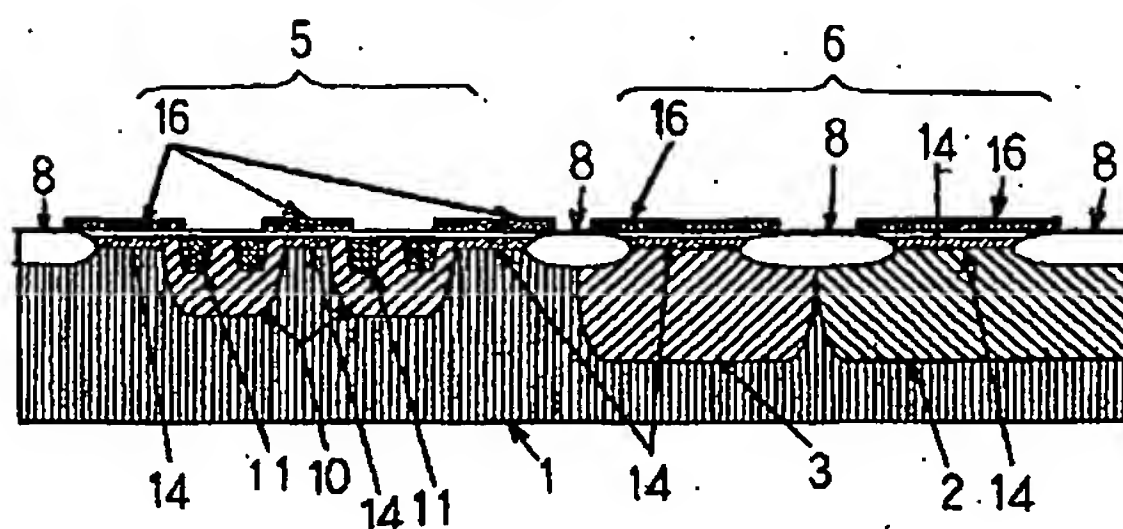
【図 2】

図 2



【図 4】

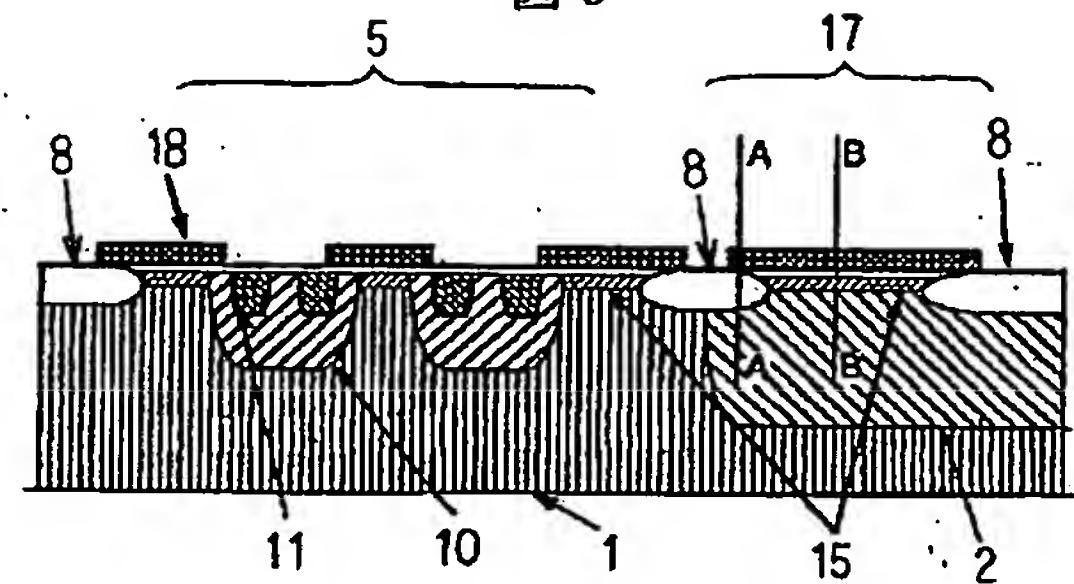
図 4



- 1 ... N型基板
- 2 ... 高濃度Nウェル
- 3 ... 高濃度Pウェル
- 5 ... DMOS領域
- 6 ... CMOS領域
- 8 ... 素子分離領域
- 10 ... P型チャネル領域
- 11 ... ソース領域
- 14 ... 低濃度領域
- 16 ... ゲートポリシリコン

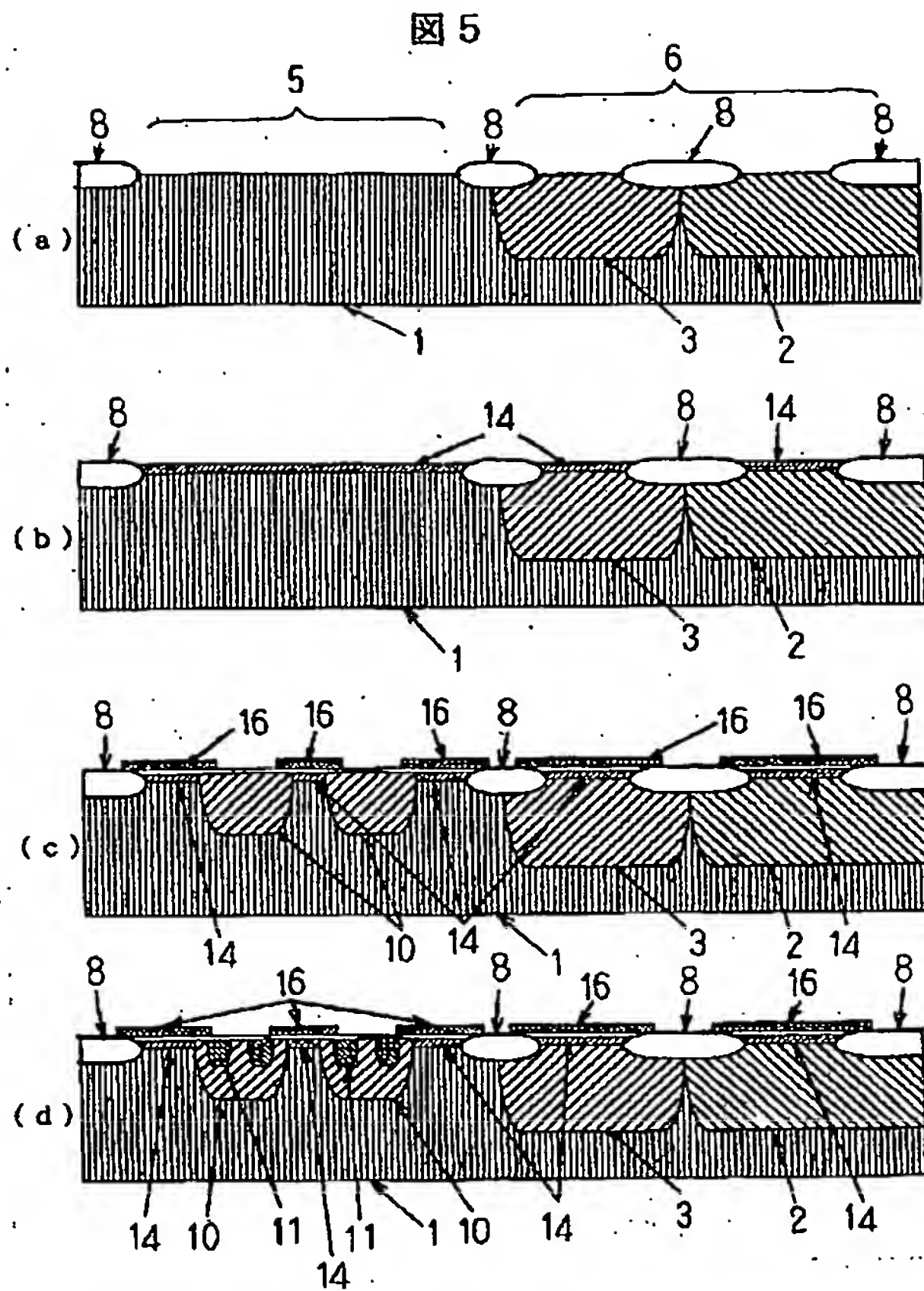
【図 6】

図 6

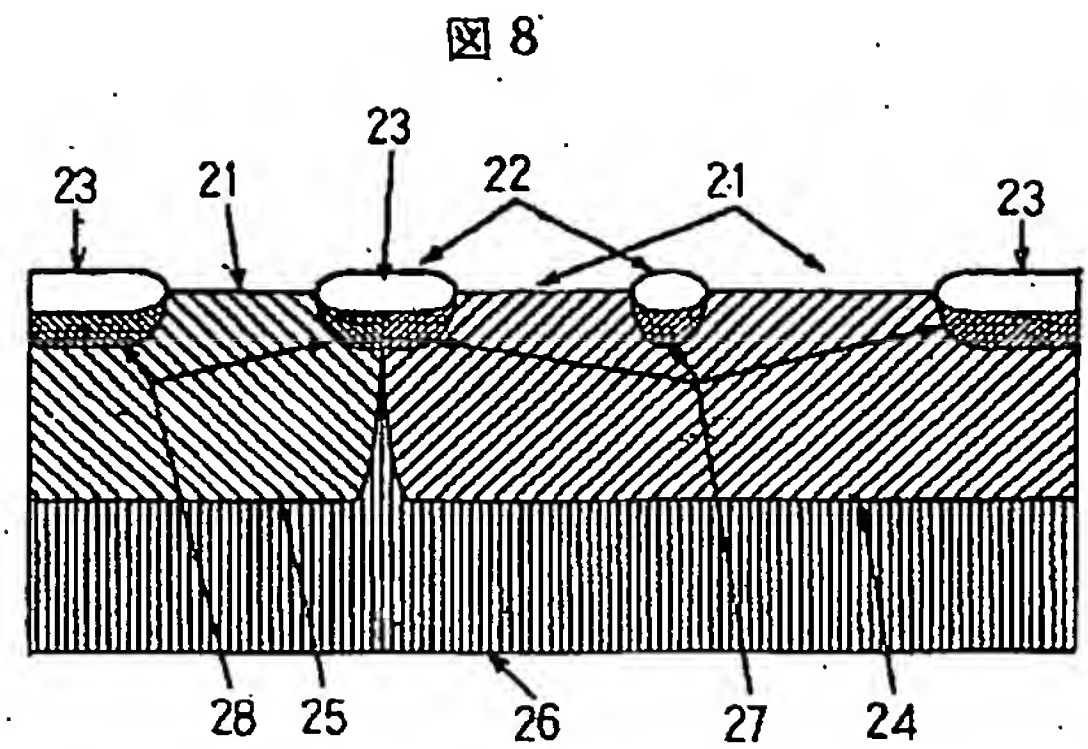


- 1 ... N型基板
- 2 ... 高濃度Nウェル
- 5 ... DMOS領域
- 8 ... 素子分離領域
- 10 ... P型チャネル領域
- 11 ... ソース領域
- 15 ... 低濃度領域
- 17 ... PMOS領域
- 18 ... ゲートポリシリコン

【図5】



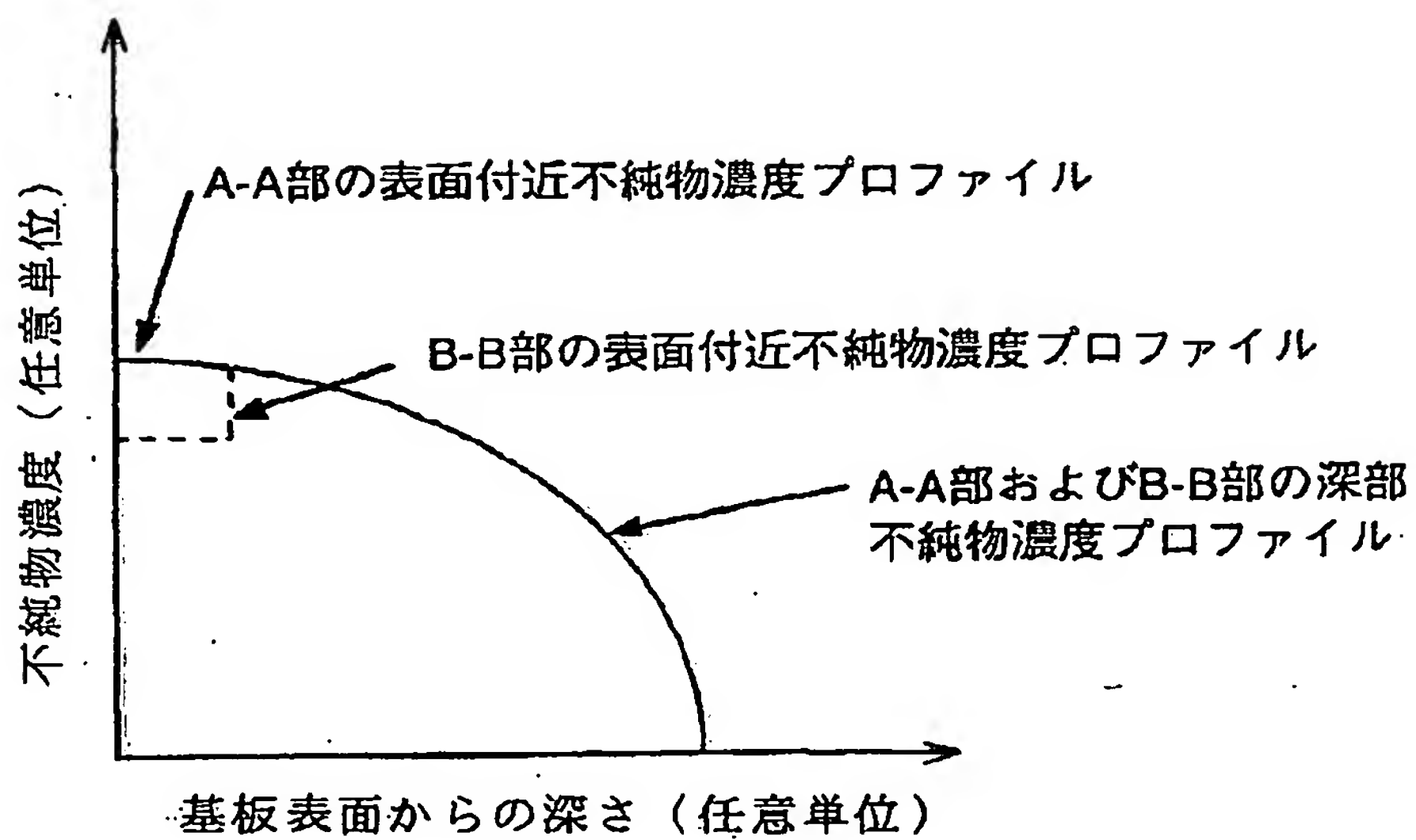
【図8】



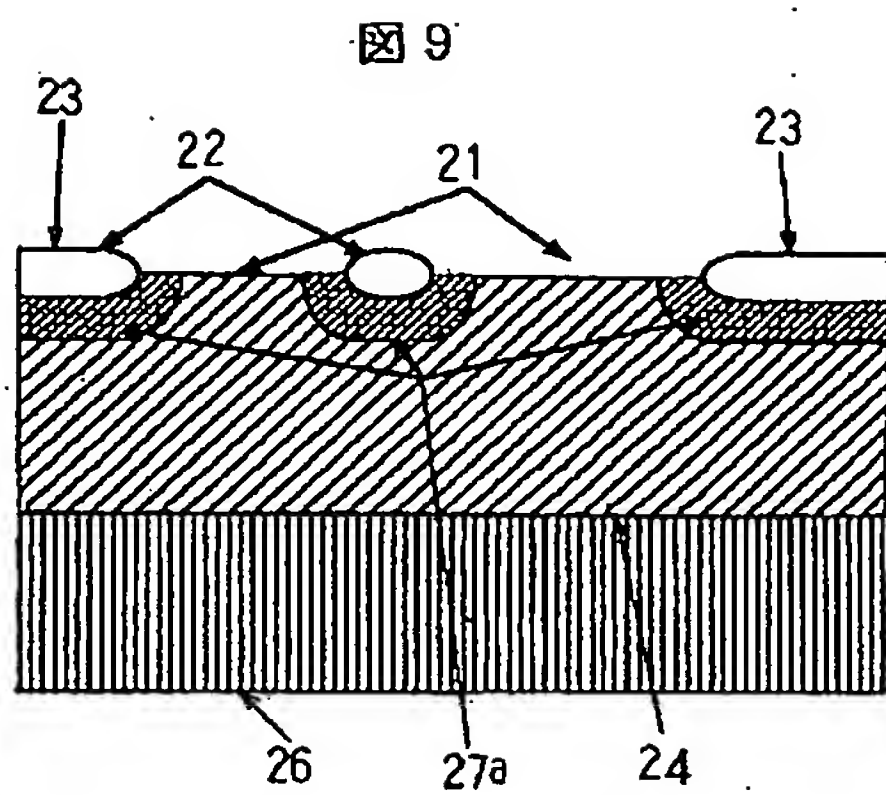
- 21…素子領域
- 22…素子分離領域
- 23…LOCOS酸化膜
- 24…Pウェル
- 25…Nウェル
- 26…N型基板
- 27…P型高濃度領域
- 28…N型高濃度領域

【図7】

図7

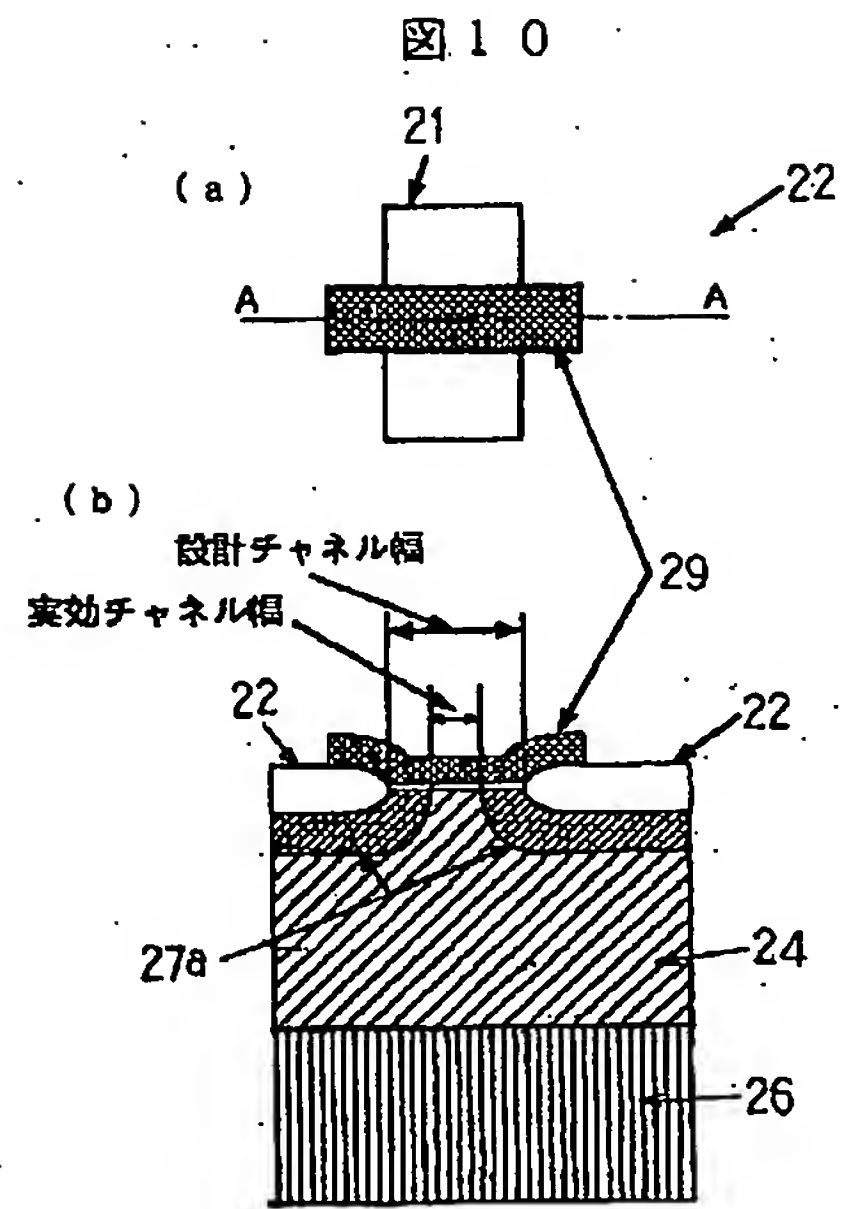


【図 9】



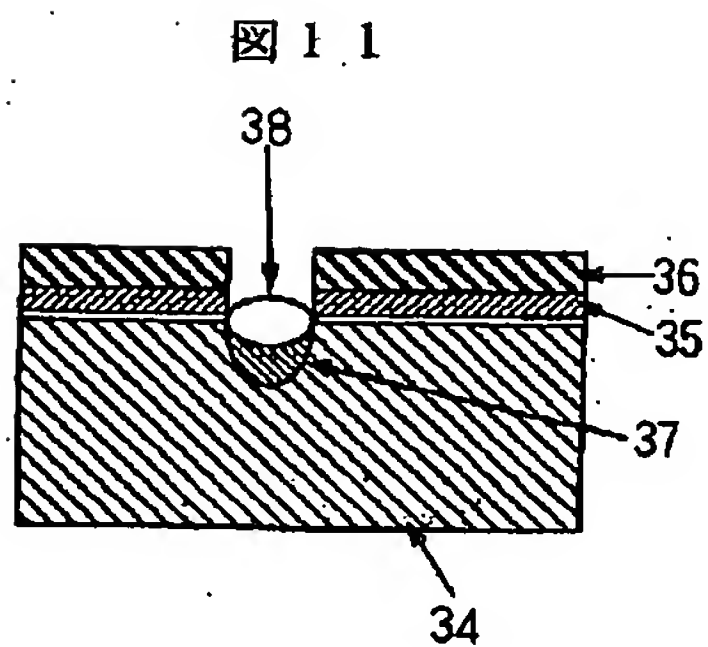
- 21…素子領域
- 22…素子分離領域
- 23…LOCOS酸化膜
- 24…Pウェル
- 26…N型基板
- 27a…P型高濃度領域（横拡散）

【図 10】



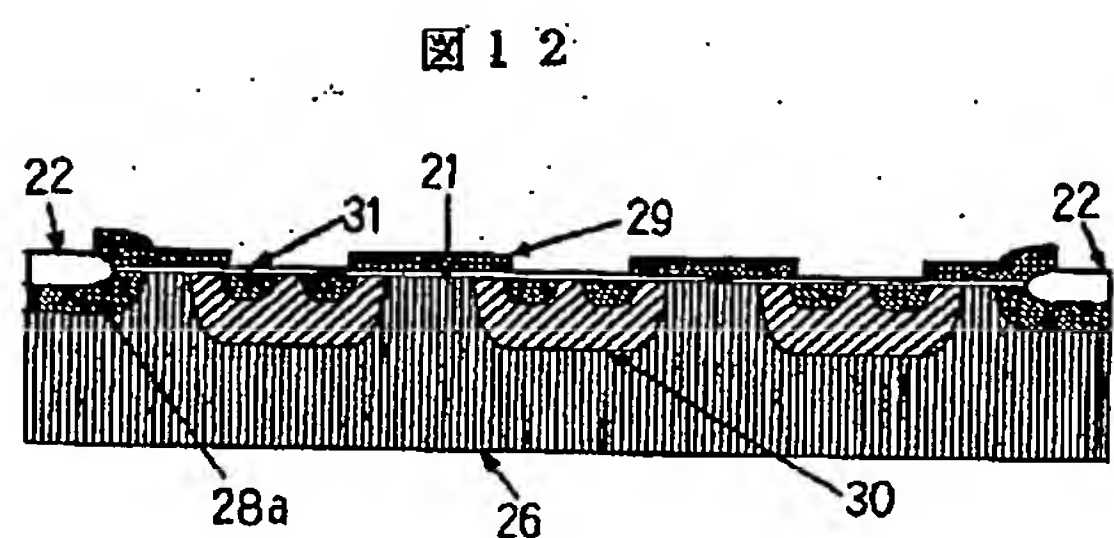
- 21…素子領域
- 22…素子分離領域
- 24…Pウェル
- 26…N型基板
- 27a…P型高濃度領域（横拡散）
- 29…ゲートポリシリコン

【図 11】



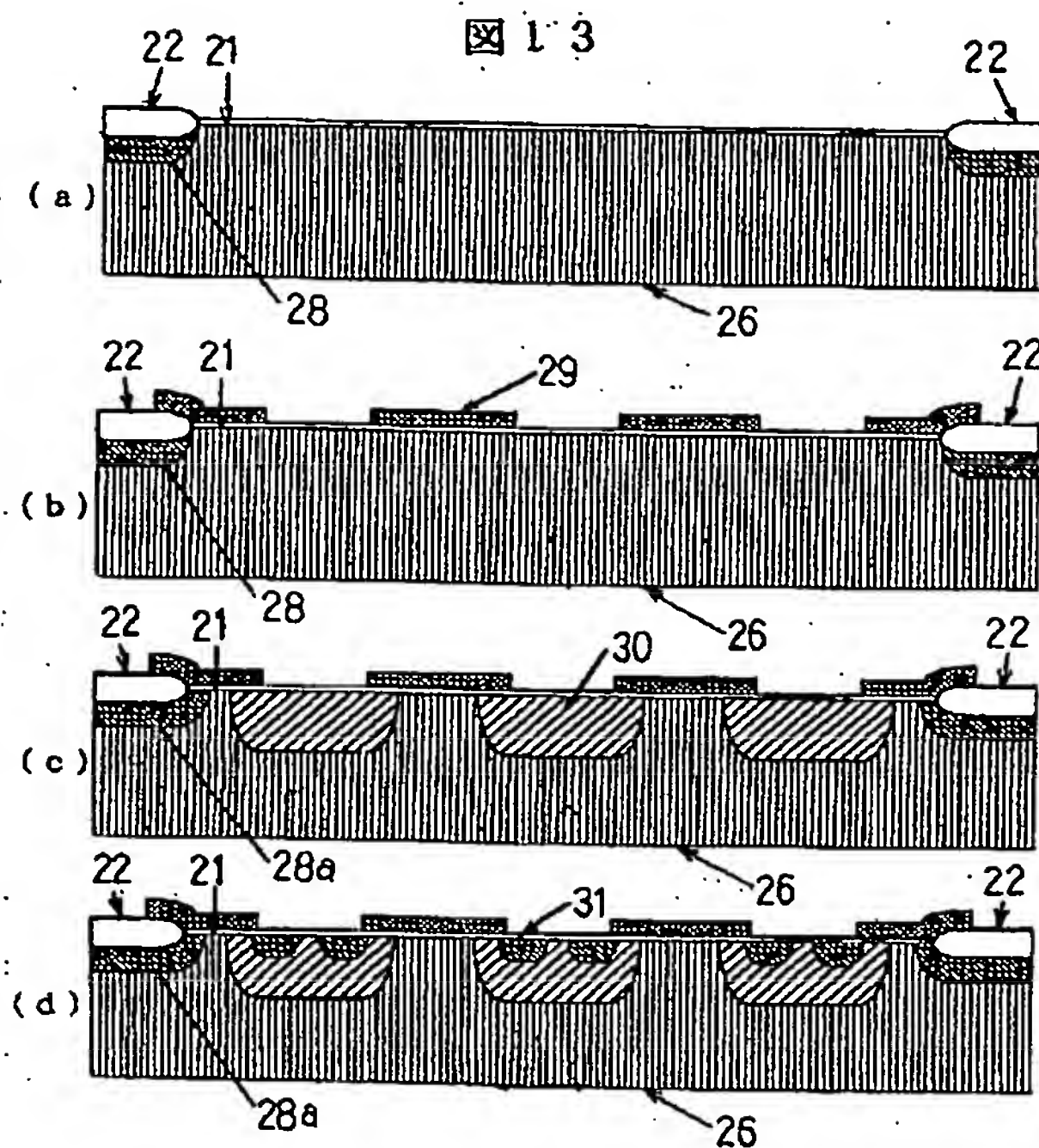
- 34…シリコン基板
- 36…シリコン窒化膜
- 36…シリコン酸化膜
- 37…高濃度領域
- 38…素子分離領域となるシリコン酸化膜

【図 12】

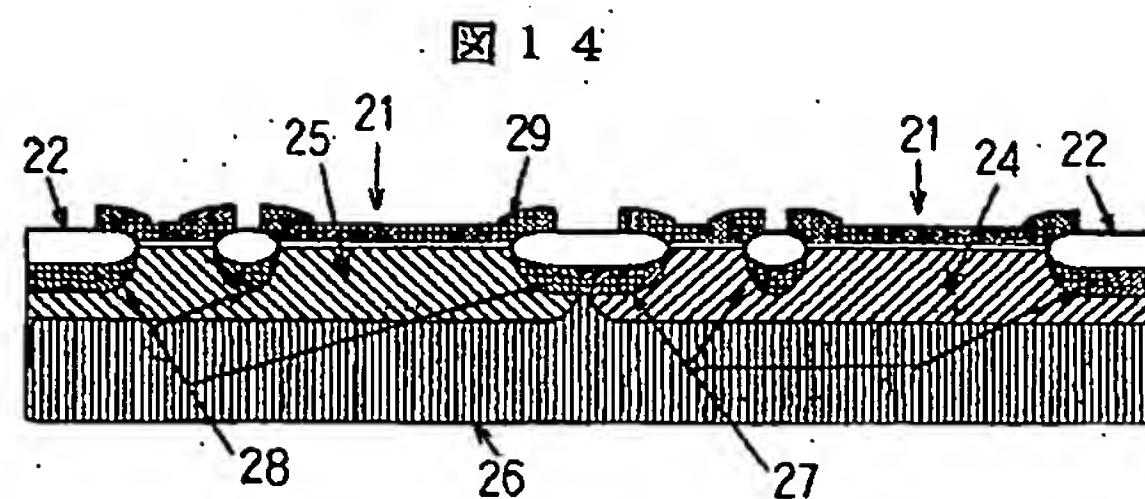


- 21…素子領域
- 22…素子分離領域
- 26…N型基板
- 28a…N型高濃度領域（横拡散）
- 29…ゲートポリシリコン
- 30…P型チャンネル領域
- 31…ソース領域

【図13】



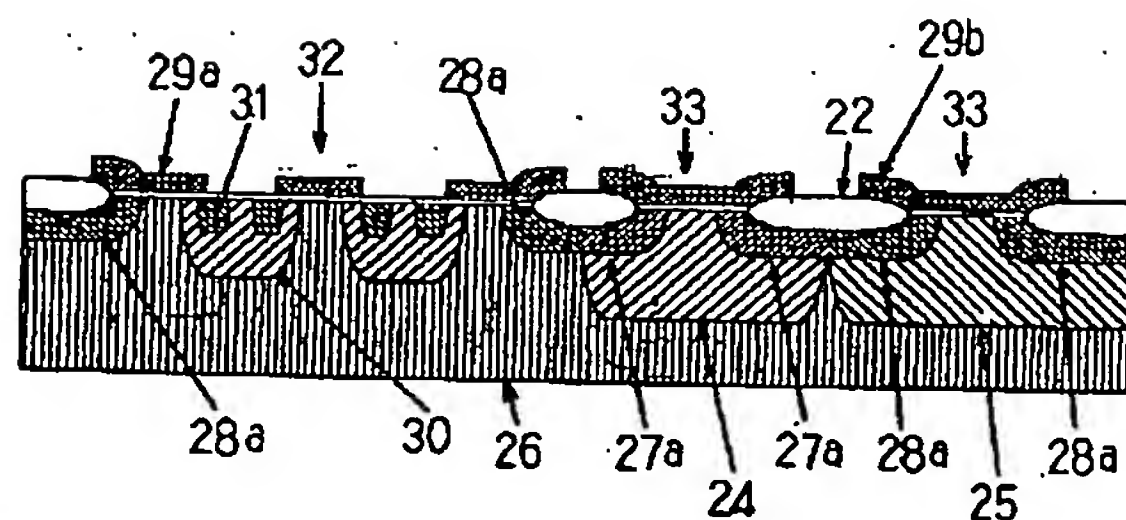
【図14】



- 21…素子領域
- 22…素子分離領域
- 24…Pウェル
- 25…Nウェル
- 26…N型基板
- 27…P型高濃度領域
- 28…N型高濃度領域
- 28…ゲートポリシリコン

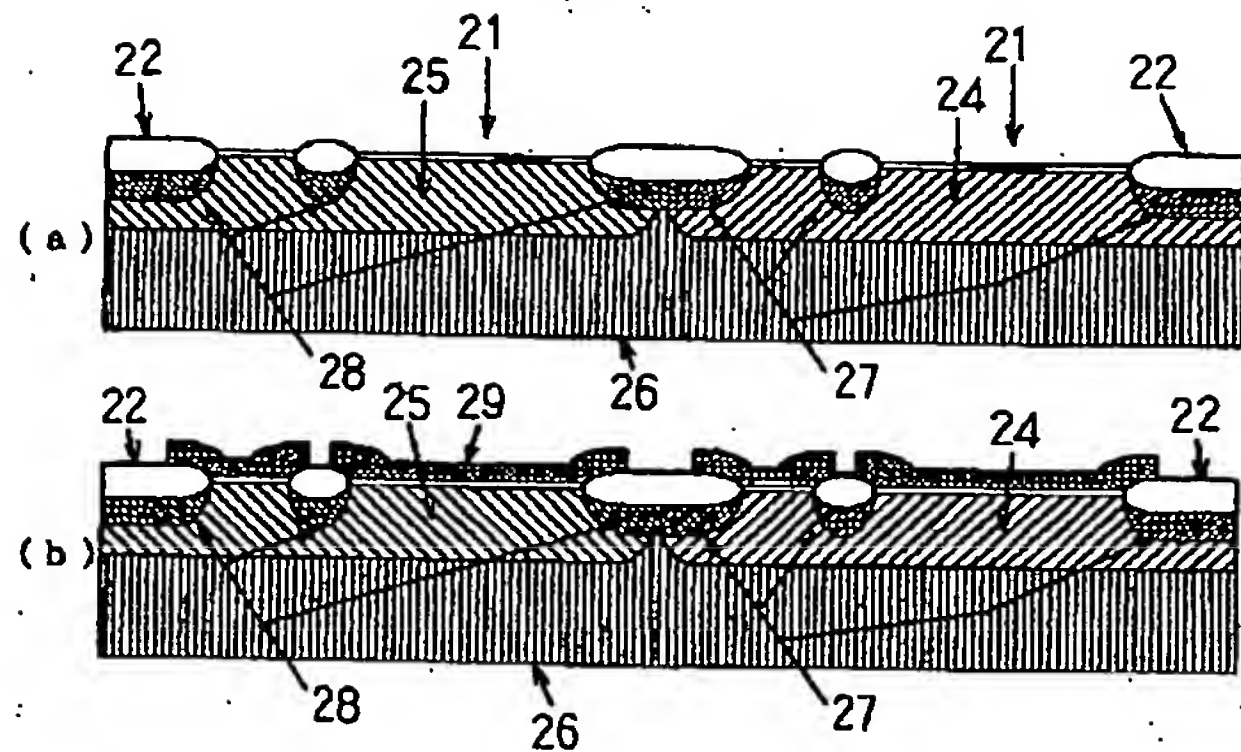
【図16】

図16



【図15】

図15



- 22…素子分離領域
- 24…Pウェル
- 25…Nウェル
- 26…N型基板
- 27a…P型高濃度領域（横拡散）
- 28a…N型高濃度領域（横拡散）
- 29a…DMOSゲートポリシリコン
- 29b…CMOSゲートポリシリコン
- 30…P型チャネル領域
- 31…ソース領域
- 32…DMOS領域
- 33…CMOS領域

【図17】

